

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-119237  
 (43)Date of publication of application : 30.04.1999

(51)Int. Cl. G02F 1/1343  
 G02F 1/136

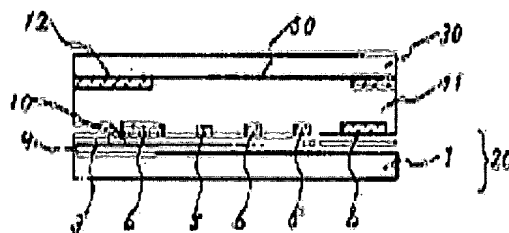
(21)Application number : 09-283834 (71)Applicant : MITSUBISHI ELECTRIC CORP  
 (22)Date of filing : 16.10.1997 (72)Inventor : NIWANO YASUNORI  
 MASUTANI YUICHI  
 NAKAJIMA TAKESHI  
 OODOI YUUZOU  
 KOBAYASHI KAZUHIRO

## (54) INTRA-FACE SWITCHING TYPE LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a high quality liquid crystal display device(LCD) having a wide aperture part by improving a shielding effect against a leaked electric field from a signal line and reducing the light shielding area.

SOLUTION: The LCD is constituted of a thin film transistor(TFT) array substrate 20 provided with scanning lines, signal lines 3, pixels formed by crossing the scanning lines and signal lines 3, TFTs formed on the pixels, driving electrodes 5 connected to the TFTs, counter electrodes 6 arranged opposedly to the electrodes 5, and TFT (thin film transistor) equipped with common wrings for connecting each counter electrode 6 to a counter electrode of another pixel, a counter substrate 30 arranged counter to the substrate 20 and liquid crystal 11 sealed into a gap between both the substrates 20, 30 and allowed to be driven by the electrodes 5, 6 by generating an electric field in parallel with the surfaces of the substrates 20, 30. On the substrate 20, the electrodes 50, 60 are formed on a layer different from a layer forming the signal lines 3 and close to the liquid crystal 11.



### LEGAL STATUS

[Date of request for examination]  
 [Date of sending the examiner's decision  
 of rejection]  
 [Kind of final disposal of application]

other than the examiner's decision of  
rejection or application converted  
registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's  
decision of rejection]  
[Date of requesting appeal against  
examiner's decision of rejection]  
[Date of extinction of right]

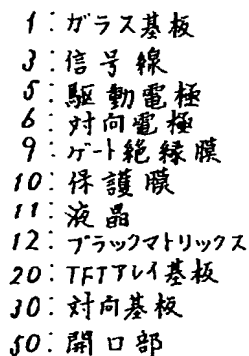
Copyright (C); 1998, 2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成11年(1999)4月30日

500

[最終頁に続く](#)



## 【特許請求の範囲】

【請求項 1】 走査信号を伝達する走査線、映像信号を伝達する信号線、前記走査線と前記信号線が交差してなる格子状の画素、前記画素に設けられて前記走査線および前記信号線と接続され、走査信号に基づいて映像信号のスイッチングを行う薄膜トランジスタ、この薄膜トランジスタと接続された駆動電極、この駆動電極と対向するように配置された対向電極、この対向電極と他の画素の対向電極とを相互に接続する共通配線を備えた TFT アレイ基板と、この TFT アレイ基板に対向するように設けられた対向基板と、前記 TFT アレイ基板と前記対向基板との間に封入され、前記駆動電極および対向電極が基板面に平行な電界を発生させて駆動する液晶とを備えた面内スイッチング型液晶表示装置において、前記 TFT アレイ基板は、前記駆動電極および対向電極を前記信号線の形成される層とは異なる前記液晶に近い層に形成されたことを特徴とする面内スイッチング型液晶表示装置。

【請求項 2】 TFT アレイ基板は、TFT アレイ基板面に平行な電界を発生させて液晶を駆動する駆動電極と対向電極とを備えたものであって、少なくとも前記対向電極は、前記信号線の形成されている層とは異なる液晶に近い層に形成されていることを特徴とする請求項 1 に記載の面内スイッチング型液晶表示装置。

【請求項 3】 TFT アレイ基板は、信号線の一部または全部を覆うように形成した対向電極を有することを特徴とする請求項 2 に記載の面内スイッチング型液晶表示装置。

【請求項 4】 TFT アレイ基板は、少なくとも対向電極を走査線とは異なる層に設け、前記走査線の一部または全部を覆うように形成した対向電極を有することを特徴とする請求項 3 に記載の面内スイッチング型液晶表示装置。

【請求項 5】 TFT アレイ基板は、共通配線と走査線とを同じ層に設け、かつ信号線を前記共通配線および走査線よりも対向基板に近い層に設けたことを特徴とする請求項 1 に記載の面内スイッチング型液晶表示装置。

【請求項 6】 TFT アレイ基板は、この TFT アレイ基板と液晶とが接する表面がほぼ平坦形状に形成された保護膜を備えたことを特徴とする請求項 1 に記載の面内スイッチング型液晶表示装置。

【請求項 7】 TFT アレイ基板は、信号線および対向電極と重ね合わさるように形成された遮光手段を有することを特徴とする請求項 1 に記載の面内スイッチング型液晶表示装置。

【請求項 8】 TFT アレイ基板は、走査信号に基づいて映像信号のスイッチングを行う薄膜トランジスタと、この薄膜トランジスタのスイッチがオンの時に書き込まれた電荷を前記薄膜トランジスタのスイッチがオフの間蓄電する駆動電極と、前記駆動電極の蓄電力を補強する

保持容量増加電極とを、層を異にして重畳するように形成したことを特徴とする請求項 1 に記載の面内スイッチング型液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、アレイ基板に対して平行な電界を発生して液晶を駆動する面内スイッチング型(In Plain Switching型:以後、IPS型と略す)液晶表示装置に係わり、更に詳しくは信号線からの漏れ電界の影響を軽減し、遮光領域を減らすことにより開口率を高めた高輝度な液晶表示装置の構造に関する。

## 【0002】

【従来の技術】アクティブマトリックス型の液晶表示装置において、液晶に印加する電界の方向をアレイ基板に対して平行な方向とする面内スイッチング方式(すなわち IPS 方式)が主に広視野角を得る手法として用いられている(例えば、特開平 8-254712号公報参照)。この方式を採用すると、視角方向を変化させた際のコントラストの変化や階調レベルの反転がほとんど無くなるということが明らかにされている(例えば、M.Oh-e, 他, Asia Display, 95, pp. 577-580参照)。

【0003】図 18 は、従来の IPS 型液晶表示装置の一面素の構造を模式的に示したものであり、図 18

(a) はその平面図、図 18 (b) は図 18 (a) の A-A' での断面図である。図 19 は、IPS 型液晶表示装置の画素電極を構成する一面素の等価回路であり、図 20 は IPS 型液晶表示装置の回路を説明する回路構成図である。図 18 において、1 はガラス基板、2 は走査線、3 は信号線、4 は薄膜トランジスタ(TFT)、5 は駆動電極、6 は対向電極、7 は保持容量形成用電極、8 は共通配線、9 はゲート絶縁膜、10 は保護膜、11 は液晶、12 はブラックマトリックス(BM)、14 はコンタクトホール、15 はソース電極、16 はドレイン電極である。また、20 はアレイ基板(ガラス基板 1、信号線 3、駆動電極 5、対向電極 6 等で構成されている)、30 はアレイ基板 20 に対向して配置された対向基板、40 は信号線 3 と対向電極 6 の間の隙間であるスリット、50 は開口部である。図 19、図 20 において図 18 と同一符号は図 18 と同一あるいは相当のものを表す。

【0004】図 18、図 19、図 20 に基づいて従来の IPS 型液晶表示装置の概略の構成と動作について説明する。図 20 において、走査線駆動回路と接続された走査線 2 と信号線駆動回路と接続された信号線 3 がほぼ直角に交差することにより、走査線 2 と信号線 3 とにより囲まれる複数の格子状の画素ができる。この格子状の画素を形成する走査線と信号線との各交点に薄膜トランジスタ(TFT Thin-Film-Transistor)が設けられている。

【0005】この状態を等価回路で示したのが図 19 で

ある。薄膜トランジスタ(TFT)4は、ゲート電極、ソース電極15、ドレイン電極16の3つの電極を持つ半導体素子で、ゲート電極は走査線駆動回路から伸びる走査線2と接続され、ソース電極15は信号線駆動回路と接続された信号線3と接続される。残るドレイン電極16は駆動電極5と接続され、対向電極6との間に生じる電界により液晶を駆動する。13は駆動電極5、対向電極6の間で電荷を保持する保持容量である。次に図18(a)と図18(b)に基づいて一画素の構造について説明する。走査線2と信号線3とが交差して形成される画素には、液晶層を駆動する駆動電極5および対向電極6と、薄膜トランジスタ(TFT)4が設けられる。薄膜トランジスタ(TFT)4には3つ電極があり、図20に示した走査線駆動回路と接続された走査線2は、前記薄膜トランジスタ(TFT)4のゲート電極と接続され、走査線駆動回路が出力する走査信号を薄膜トランジスタ(TFT)4のゲート電極に印加する。

【0006】信号線駆動回路と接続された信号線3は、前記薄膜トランジスタ4(TFT)のソース電極15と接続されて、信号線駆動回路が出力する映像信号を伝達する。前記薄膜トランジスタ(TFT)4のドレイン電極16は、図18(a)に表示されるように、コンタクトホール14を介して駆動電極5と接続されている。同じ画素において、駆動電極5と向かいあって噛み合わさるように設けられているのが対向電極6である。この対向電極6は共通配線8と接続されている。共通配線8はTFTアレイ基板20上の各画素に設けられた対向電極6をそれぞれ接続している。

【0007】次に図18(b)に基づいて画素断面の構造を説明する。1はガラス基板であり、このガラス基板1上に駆動電極5と対向電極6がそれぞれ形成されている、なお、図18(b)においては図示しないが、駆動電極5、対向電極6と同じ層に走査線2、共通配線8も形成されている。次にゲート絶縁膜9を積層し、このゲート絶縁膜9の上に信号線3が形成されている。図18(b)には図示されないが、信号線3と同じ層に保持容量形成用電極7も形成されている。この信号線3の上にさらに保護膜10が積層され、TFTアレイ基板20が形成される。このTFTアレイ基板20と対向基板30が重ね合わされ、TFTアレイ基板20と対向基板30の間に液晶11が封入されてIPS型液晶表示装置が製造される。

【0008】IPS型液晶表示装置は、TFTアレイ基板20に設けられた駆動電極5と対向電極6の間において、TFTアレイ基板20の表面に沿って電界を発生し液晶を駆動する方式であるので、対向基板30は電極を備えない無電極基板である。対向基板30は遮光膜であるブラックマトリクス(BM)12を設け、図示はしないが、図18(b)においてTFTアレイ基板の下側に設けられているバックライトを光源として、図18

(a)のスリット40より漏れる漏れ光を遮光するようにしている。

【0009】50が示す破線で囲まれた領域は、一画素あたりの開口部を表すものであり、バックライトを光源とする光が透過する窓の役割を果たしている。しかし、前記バックライトからの光は駆動電極5、対向電極6、ブラックマトリクス12等により遮られ、その結果液晶ディスプレイの画質に大きく影響する。従って、開口部50の面積に占める前記駆動電極5、対向電極6、ブラックマトリクス12等の面積の割合を減少させることが課題になっている。

【0010】以上、図18、図19、図20について従来のIPS型液晶表示装置の画素の構成について説明した。次にIPS型液晶表示装置の動作について説明する。各画素に設けられてゲート電極を走査線2に、ソース電極15を信号線3に、ドレイン電極16を駆動電極5に接続された薄膜トランジスタ(TFT)4は半導体スイッチング素子であり、各画素の液晶の駆動を制御するものである。この薄膜トランジスタ(TFT)4のゲート電極に走査線駆動回路から走査線2を介して走査信号が印加されるとその行の薄膜トランジスタ(TFT)4がすべてオンに切り換えられる。

【0011】ゲート電極がオンに切り換えられると信号線駆動回路から伝達される映像信号がソース電極15を経由してドレイン電極16に流れ、ドレイン電極16と接続された駆動電極5に書き込まれる。駆動電極5に書き込まれた電荷は対向電極6との間で保持され、再びゲート電極がオンになり新たな映像信号電荷が書き込まれるまで現状の電荷を保持する。つまり、駆動電極5と対向電極6は、ゲート電極がオンになっている間に電荷が書き込まれ、ゲート電極がオフになると書き込まれた電荷はそのまま蓄えられるという点で、一種のコンデンサの役割を果たしている。このコンデンサの蓄電力を高めるのが図19に示す保持容量13で、この保持容量13は、ゲート絶縁膜9を介して保持容量形成用電極7と共通配線8が上下に積層されて形成される。

【0012】

【発明が解決しようとする課題】ところで、図18に示した従来のIPS型液晶表示装置において、一画素の側端部に設けられている信号線3と、この信号線3と平行して形成されている対向電極6との間には、信号線3と対向電極6の電位差により電界が発生する。図21は、信号線3よりも下層に駆動電極5および対向電極6が形成されているTFTアレイ基板を有する、従来のIPS型液晶表示装置の信号線3と対向電極6の間に発生する電界が駆動電極5と対向電極6の間に発生する電界に及ぼす影響を示す図であり、駆動電極5と対向電極6の間に発生する電位の変化をシミュレートして得たものである。なお、図21は、相対透過率50%の中間調に白ウインドウを表示したとき、ウインドウ上部または下部

における電位を計算したものである。

【0013】駆動電極5は2つの対向電極6の間に形成され、この駆動電極5を中心に電位分布が対称となるのが、液晶を正確に駆動する上で望ましい。図21を見ると、開口部50の信号線3に近い領域の電位分布は、信号線3と対向電極6の間に発生した電界からの漏れ電界の影響を強く受けており、その電位分布は非対称となっているのが分かる。この電界はガラス基板1の表面に沿って発生するものであり、クロストークのような問題を引き起こす。例えば、図22に示すような黒表示の中に白ウインドウを表示した場合に、ウインドウ部上下の輝度が他の黒表示部に対し変化する「縦方向クロストーク」と呼ばれる表示上の問題が発生する。

【0014】以下、ノーマリーブラックモード（電圧を印加しない状態で黒表示となるモード）の場合の例を図19を用いて説明する。図22に示したようなウインドウパターンを表示した場合、画面中のウインドウ部とその上下の部分の画素の信号線3には、対向電極6に対して黒表示部分の選択期間中には対向電極6と同じ電圧が加わっており、白表示部分の選択期間中には白表示に必要な電圧が加わっている。

【0015】液晶11には電極間の電位差の絶対値を時間平均した値の電圧が実効的に加わると考えられる。従って、例えば、黒表示の選択期間と白表示の選択期間が等しい場合、これらの画素には、信号線3と対向電極6の間に、中間調表示と等しい実効電位が加わることになる。このとき、信号線3と対向電極6の間に発生するガラス基板1に水平な方向の電界によって信号線3と対向電極6の間のスリット40の上にある液晶は透過モードとなる。さらに、信号線3と対向電極6の電位差により発生する電界が、駆動電極5と対向電極6間の電界にも影響を及ぼし、黒表示部の液晶を透過モードに変える。その結果クロストークが発生する。

【0016】このような縦方向クロストークの発生を防ぐためには、信号線3と対向電極6の間のスリット40を透過する漏れ光を、対向基板30に形成したブラックマトリックス12（以下、BMと略す）で遮光すると共に、駆動電極5と対向電極6を開口部50側端部の対向電極6および信号線3から離して、信号線3と対向電極6間に発生した電界が駆動電極5と対向電極6の間の電界に干渉するのを防ぐ必要がある。しかし、駆動電極5と対向電極6を信号線3から離し、信号線3に隣接した対向電極6の幅を太くすると、開口部50の開口率、すなわち図19(a)において破線で囲まれた開口部50の面積に対して、駆動電極5と対向電極6等の面積を開口部50の面積から差し引いた面積の占める割合、が小さくなり画質を悪化させる。従って、高画質な液晶表示装置を開発するためには、信号線3と信号線3に隣接した対向電極6の間に発生する電界を、開口率を下げずに遮蔽することが課題となっていた。

【0017】また、図18(b)より明らかなように、アレイ基板20の上層膜である保護膜10の表面は段差を有しており、対向基板30との間の距離（ギャップ）は一定ではない。従って、輝度むらが発生しやすく、画質を悪化させる原因となっていた。さらに、段差部を有しているため製造時にアレイ基板のクラック等による不良が発生するだけでなく、アレイ基板上の配線が段差部において断線する恐れもあり、製品の歩留まり率、信頼性を改善する上で問題があった。

10 【0018】また、バックライトを光源とする光がスリット40より漏れ光として透過して画質を悪化させる。この漏れ光を遮光するため、対向基板30にブラックマトリックス12が設けられている。しかし、TFTアレイ基板20と対向基板30を重ね合わせる際、誤差が生じることがあり、この誤差を考慮してブラックマトリックス12は若干余裕を持って大きく形成されていた。しかし、ブラックマトリックス12を大きくして遮光効果を高めると、開口率は低下するという問題があった。

20 【0019】本発明は以上のような問題点を解消するためになされたもので、ガラス基板に対して平行な方向の電界を用いるIPS型液晶表示装置において、信号線からの漏れ電界に対する遮蔽効果を高め、遮光領域を減らすことにより開口部の広い（即ち、開口率の高い）、高品質な液晶表示装置を提供することを第1の目的とするものである。また、アレイ基板のクラック、配線の断線等の不良の発生を抑制することで歩留まり率を改善して生産コストを下げ、かつ高品質の液晶表示装置を提供することを第2の目的とするものである。

【0020】

30 【課題を解決するための手段】この発明にかかるIPS型液晶表示装置は、走査信号を伝達する走査線、映像信号を伝達する信号線、前記走査線と前記信号線が交差してなる格子状の画素、前記画素に設けられて前記走査線および前記信号線と接続され、走査信号に基づいて、映像信号のスイッチングを行う薄膜トランジスタ、この薄膜トランジスタと接続された駆動電極、この駆動電極に対向して配された対向電極、この対向電極と他の画素の対向電極とを相互に接続する共通配線を備えたTFTアレイ基板と、このTFTアレイ基板に対向するように設けられた対向基板と、前記TFTアレイ基板と前記対向基板との間に封入され、前記駆動電極および対向電極が基板面に平行な電界を発生させて駆動する液晶とを備え、前記TFTアレイ基板は、前記駆動電極および対向電極を前記信号線の形成される層とは異なる前記液晶に近い層に形成されたものである。

50 【0021】また、この発明にかかるIPS型液晶表示装置は、薄膜トランジスタと接続され、TFTアレイ基板面に平行な電界を発生させて液晶層を駆動する駆動電極と、共通配線と接続された対向電極とを備えたものであって、少なくとも前記対向電極は、前記信号線の形成

されている層とは別の、より液晶に近い層に形成された TFT アレイ基板を備えたものである。

【0022】また、この発明にかかる IPS 型液晶表示装置は、信号線の一部または全部を覆うように形成した対向電極を有する TFT アレイ基板を備えたものである。

【0023】また、この発明にかかる IPS 型液晶表示装置は、少なくとも対向電極を走査線とは異なる層に設け、前記走査線の一部または全部を覆うように形成した対向電極を有する TFT アレイ基板を備えたものである。

【0024】また、この発明にかかる IPS 型液晶表示装置は、共通配線と走査線とを同じ層に設け、かつ信号線を前記共通配線および走査線よりも対向基板に近い層に設けた TFT アレイ基板を備えたものである。

【0025】また、この発明にかかる IPS 型液晶表示装置は、保護膜の表面をほぼ平坦状に形成した TFT アレイ基板を有するものである。

【0026】また、この発明にかかる IPS 型液晶表示装置は、信号線および対向電極と重ね合わさるように形成された遮光手段を備えたものである。

【0027】また、この発明にかかる IPS 型液晶表示装置は、走査信号に基づいて映像信号のスイッチングを行う薄膜トランジスタと、この薄膜トランジスタと接続され、薄膜トランジスタのスイッチがオンの時に書き込まれた電荷を、前記薄膜トランジスタのスイッチがオフの間蓄電する駆動電極と、前記駆動電極の蓄電力を補強する保持容量増加電極とを、層を異にして重畳するように形成した TFT アレイ基板を備えたものである。

【0028】

【発明の実施の形態】

実施の形態 1. 以下、本発明の一実施の形態を図面に基づいて説明する。尚、図において従来と同一符号は従来のもものと同一あるいは相当のものを表す。図 1 はこの発明の実施の形態 1 による IPS 型液晶表示装置の一面素の構造を模式的に示す断面図であり、図 2 はその平面図である。なお、図 1 は図 2 に示す A-A における断面図を示したものである。図において、1 はガラス基板、2 は走査線、3 は信号線、4 は薄膜トランジスタ (TFT)、5 は駆動電極、6 は対向電極、7 は保持容量形成用電極、8 は共通配線、9 はゲート絶縁膜、10 は保護膜、11 は液晶、12 はブラックマトリックス (BM)、14 はコンタクトホール、15 はトランジスタのソース電極、16 はトランジスタのドレイン電極である。また、20 はアレイ基板 (ガラス基板 1、信号線 3、駆動電極 5、対向電極 6 等で構成されている)、30 はアレイ基板 20 に対向して配置された表示画面となる対向基板、40 は信号線 3 と対向電極 6 の間の隙間であるスリット、50 は画素の開口部である。なお、図 3 は、図 2 に示す IPS 型液晶表示装置において用いられ

る薄膜トランジスタ 4 (TFT) として、薄膜トランジスタ 4 (TFT) の一種であるチャネル保護膜型薄膜トランジスタ 21 を設けた場合の IPS 型液晶表示装置の一面素の構造を模式的に示す図であり、図 3 (a) は平面図、図 3 (b) は断面図である。

【0029】次に、図 1、図 2 に基づいて、IPS 型液晶表示装置の画素の構造について説明する。図において、1 はガラス基板であり、このガラス基板 1 上に走査線 2 が形成されている。この走査線 2 を覆うようにゲート絶縁膜 9 が積層され、このゲート絶縁膜 9 上に信号線 3 が設けられている。この信号線 3 の上に保護膜 10 が積層され、保護膜 10 の上に駆動電極 5、対向電極 6 が設けられている。TFT アレイ基板 20 は以上説明したような構造となっている。前記 TFT アレイ基板 20 と対面するように設けられている基板 30 は、前記 TFT アレイ基板 20 との間に液晶 11 を挟持する対向基板である。本発明にかかる IPS 型液晶表示装置は、前記 TFT アレイ基板の表面に沿って電界を発生させ、この電界の方向を制御することにより液晶 11 を駆動する。

【0030】図 2 は、図 1 に示した IPS 型液晶表示装置を平面図で示すものである。図 2 において、2 は走査線、3 は信号線であり、この走査線 2、信号線 3 により囲まれた領域が一つの画素となる。4 は、走査線 2 と信号線 3 の交点に設けられた薄膜トランジスタ (TFT) であり、薄膜トランジスタ 4 の有する 3 つの電極のうちゲート電極は走査線 2 と、ソース電極 15 は信号線 3 と接続されている。薄膜トランジスタ 4 の有する 3 つの電極のうち、ドレイン電極 16 は保護膜 10 (図示せず) を介した上の層にコンタクトホール 14 により駆動電極 5 と接続されている。この駆動電極 5 と噛み合わさるように対向して設けられているのが対向電極 6 であって、対向電極 6 は共通配線 8 と同じ層に形成されて相互に接続されている。図示しないが共通配線 8 は隣接する他の画素の対向電極 6 を接続している。なお、駆動電極 5 と対向電極 6、共通配線 8 は、信号線 3 より上の層に同時に形成されている。

【0031】7 は駆動電極 5 の電位を保持するための保持容量であって、対向電極 6 とドレイン電極 16 を上下に積層して形成したものである。40 は信号線 3 と対向電極 6 との間のスリットであって、図 1 に示す対向基板 30 に設けられたブラックマトリックス 12 は、バックライトを光源として前記スリット 40 を透過する漏れ光を遮光するものである。50 は開口部であり、開口部の面積が大きくなれば高画質な液晶ディスプレイを得ることができる。なお、IPS 型液晶表示装置は、TFT アレイ基板 20 上に設けられた駆動電極 5 と対向電極 6 の間で、薄膜トランジスタ 4 のドレイン電極 16 と接続された駆動電極 5 に書き込まれる電荷を保持し、ガラス基板 1 表面に沿って電界を発生させて液晶 11 を駆動するので、対向基板 30 は電極を備えない無電極基板であ

る。以下、実施の形態 1 にかかる IPS 型液晶表示装置の画素を構成する TFT アレイ基板のプロセスフローの一例について説明する。

【0032】図 4、図 5、図 6 は TFT アレイ基板のプロセスフローを示す図である。なお、図 4～図 6 の左側の図は TFT アレイ基板を、右側の図は走査線 2 を走査線駆動回路に実装する端子部を示す図である。図 4 において、工程 1 は、ガラス基板 1 の上に走査線 2 を Cr、Al、Mo、Ta、Cu、Al-Cu、Al-Si-Cu、Ti、W 等の単体あるいはこれらの合金、あるいは ITO (Indium Tin Oxide インジウム錫酸化物) 等の透明材料、あるいはこれらを積層した構造で、膜厚を 50 nm から 800 nm 程度の厚さで形成するものである。この走査線 2 は薄膜トランジスタ 4 のゲート電極としても機能する。走査線 2 を形成する際のエッチング方法として、図 4 では断面が台形状になるテーパエッチングを例に示したが、断面が長方形となるようなエッチング方法を用いてもよい。

【0033】工程 2 は、走査線 2 を覆うようにゲート絶縁膜 9、アモルファスシリコン、リンなどの不純物をドーパしたアモルファスシリコンを連続堆積した後、アモルファスシリコンをパターニングし薄膜トランジスタ 4 をチャンネルエッチ型で形成するものである。ゲート絶縁膜 9 は窒化シリコン、酸化シリコン等の透明絶縁膜またはゲート電極材料（即ち、走査線 2 の材料）の酸化膜、またはそれらの積層膜を用い、厚さは 200 nm ～ 600 nm 程度とするのが適当である。また、前記リンなどの不純物をドーパしたアモルファスシリコンの代わりの材料としてリンなどの不純物をドーパしたマイクロクリスタルシリコン等を用いてもよい。

【0034】工程 3 は、信号線 3 を薄膜トランジスタ 4 のソース電極 1 5 ・ドレイン電極 1 6 と同時に形成するものである。信号線 3 はソース電極 1 5 としても機能する。この信号線 3 は、Cr、Al、Mo、Ta、Cu、Al-Cu、Al-Si-Cu、Ti、W 単体、あるいはこれらを主成分とする合金、あるいは ITO 等の透明材料、あるいはこれらを積層した構造で形成する。工程 4 は、保護膜 1 0 を窒化シリコン、酸化シリコン等の透明絶縁膜により形成し、さらに駆動電極 5 とドレイン電極 1 6 を電氣的に接続するため薄膜トランジスタ 4 のドレイン電極 1 6 上の一部の保護膜を取り除いて、コンタクトホール 1 4 を形成するものである。このとき同時に走査線 2 の端子部からゲート絶縁膜 9 と保護膜 1 0 及び信号線 3 の端子部から保護膜 1 0 を取り除き、外部回路と走査線 2 及び信号線 3 を電氣的に接続出来るようにする。

【0035】工程 5 は、基板面に対し水平方向に電界を形成するための電極として、駆動電極 5 と対向電極 6 を、Cr、Al、Mo、Ta、Cu、Al-Cu、Al-Si-Cu、Ti、W 単体、あるいはこれらの合金、あるいは ITO 等の透明材料、あるいはこれらを積層した構造、あるいはこれらを

含む積層構造で形成するものである。駆動電極 5 はコンタクトホール 1 4 を介してドレイン電極 1 6 と接続する。対向電極 6 は共通配線 8 に接続されている。対向電極 6 はドレイン電極 1 6 と保護膜 1 0 を介して重ね、駆動電極の電位を保持するための蓄積容量 7 を形成する。以上の 5 工程により、信号線 3 よりも上層（即ち、対向基板 3 0 側）に駆動電極 5 と対向電極 6 を有し、基板面に対し水平方向の電界を印加できる TFT アレイ基板 2 0 を 5 回の写真製版工程でチャンネルエッチ型薄膜トランジスタを用い製作することができる。

【0036】以上説明した TFT アレイ基板のプロセスフローにおいては、端子は走査線 2 と同一層の金属を用いて形成していたが、ITO を用いて端子を形成してもよい。ITO は走査線または信号線 3 または共通配線 8 と同一層に形成すればよい。また、信号配線をストレーエッチングしたがテーパエッチングすることが望ましい。また、信号線を Cr の上に Al を積層した構造で形成した場合、Al をパターニングした後、Cr をパターニングすると Cr にオーバーエッチングがはいるので底構造となり断切れの原因となる。これを防ぐために Cr のパターニング後に再度 Al のエッチングを行い Cr 端面より Al を後退させれば底構造となるのを防ぐことができる。この Al のエッチングはテーパエッチングを用いてもよい。この手法は信号線を Cr、Al、Mo、Ta、Cu、Al-Cu、Al-Si-Cu、Ti、W 単体、あるいはこれらを主成分とする合金、あるいは ITO 等の透明材料から異なる 2 種以上の金属の積層構造で形成した場合に適応できる。

【0037】図 4 において、駆動電極 5 と対向電極 6 は同層に形成されているが、図 5 に示すように、駆動電極 5 を信号線 3 と同時に形成し、ついで窒化シリコン等を用い保護膜 1 0 を形成後に対向電極 6 を形成してもよい。この場合駆動電極 5 と対向電極 6 は別層にて形成される。また、図 4 に示す TFT アレイ基板に用いられている薄膜トランジスタ 4 (TFT) のかわりに、薄膜トランジスタ 4 の一種であるチャンネル保護膜型トランジスタ 2 1 を用いてもよい。図 6 はチャンネル保護膜型トランジスタ 2 1 を用いて形成した TFT アレイ基板のプロセスフローを示す図である。

【0038】図 6 に示す TFT アレイ基板は図 3 に示す IPS 型液晶表示装置の画素を構成するものであり、図 5 に示す TFT アレイ基板よりも一層分層が多く形成されている。これは、走査線 2 を形成した後、走査線 2 を覆うようにゲート絶縁膜 9、アモルファスシリコン、チャンネル保護膜を連続堆積した後、チャンネル保護膜 2 1 を形成し、前記チャンネル保護膜 2 1 をマスクとしてアモルファスシリコンに P 等の不純物をイオン注入し n 層を形成しチャンネル保護膜型トランジスタを形成する（図 6 工程 2）工程の違いによる。

【0039】実施の形態 1 にかかる IPS 型液晶表示装



置のTFTアレ基板20の特徴的な構造は、アレ基板20上において駆動電極5と対向電極6が信号線3よりも上層(即ち、対向基板30側)に配置されていることである。この配置にすることによりコンタクトホール14の形成及び信号線3の端子部から保護膜10を除去する工程と走査線2の端子部から絶縁膜9及び保護膜10を除去する工程を一度に実施することが出来る。よってマスク枚数が一枚減り製造コストを低減することが出来る。

【0040】また、駆動電極5と対向電極6を信号線3と層を異にして対向基板30側の層に形成したことで、実施の形態5において後述する説明より推測できるように、図2に示す開口部50の端部に信号線3と隣接して設けられた対向電極6と前記信号線3との電位差により発生する電界の影響を軽減できることがわかった。従って開口部50側端部の対向電極を信号線3に近づけることができ、開口部50の面積を大きくできる。

【0041】また、図1において、駆動電極5と対向電極6は、TFTアレ基板20と対向基板30に挟持される液晶と直接接しているため、液晶を効率的に駆動することができ、駆動電極5および対向電極6間の間隔を広くすることができる。従って、さらに、開口率が改善されるという効果が得られる。

【0042】実施の形態2. 図7は、本発明の実施の形態2にかかる液晶表示装置の画素電極の構造を模式的に示したもので、図7(a)はその平面図、図7(b)は図7(a)のA-A'での断面図、図8はアレ基板のプロセスフローを示す図である。図において、1はガラス基板、2は走査線、3は信号線、4は薄膜トランジスタ(TFT)、5は駆動電極、6は対向電極、7は保持容量形成用電極、8は共通配線、9はゲート絶縁膜、10は保護膜、11は液晶、12はブラックマトリックス、14はコンタクトホール、15はトランジスタのソース電極、16はトランジスタのドレイン電極、18はスルーホールである。また、20はアレ基板(ガラス基板1、信号線3、駆動電極5、対向電極6等で構成されている)、30はアレ基板20に対向して配置された表示画面となる対向基板、40は信号線3と対向電極6間の隙間であるスリット、50は画素の開口部である。

【0043】実施の形態1においては、共通配線8を対向電極6と同じ層に形成していたが、実施の形態2では、図8に示すように走査線2と同じ層、つまりガラス基板1の上に共通配線8を形成したものである。ソース電極15は信号線3と接続され、この信号線3はゲート絶縁膜9を介して前記走査線2および共通配線8上に積層して形成され、さらに保護膜10を介して駆動電極5、対向電極6が形成されている。なお、駆動電極5はコンタクトホール14を介してドレイン電極16と、対向電極6はスルーホール18を介して共通配線8と接続されている。薄膜トランジスタ(TFT)4について

は、チャンネル保護膜型薄膜トランジスタを用いてもよい。

【0044】実施の形態2にかかるIPS型液晶表示装置は、実施の形態1と同様、駆動電極5と対向電極6は信号線3と異なる液晶に近い層に形成されるので、液晶をより効率的に駆動できるので、駆動電極5、対向電極6間の間隔を広くするなど開口率を改善できる。さらに、共通配線8と走査線2とを同じ層に形成したので、共通配線8は走査線2とともに平坦なガラス基板1上に形成されることになり、共通配線8が段差部で断線する問題が発生するのを抑制でき、不良率の発生を軽減できる。従って製品の信頼性も向上する。また、実施の形態1では共通配線8の抵抗を下げるため対向電極6を薄膜化出来なかったが、実施の形態2では対向電極6の薄膜化が可能となる。対向電極6の薄膜化により電極間隔のばらつきが小さくなり画面全体にわたって輝度むらの少ない液晶表示装置を実現することが出来る。

【0045】実施の形態3. 図9は、本発明の実施の形態3にかかる液晶表示装置の画素の構造を模式的に示したもので、図9(a)はその平面図、図9(b)は図9(a)のA-A'での断面図、図10はアレ基板のプロセスフローである。図において、1はガラス基板、2は走査線、3は信号線、4は薄膜トランジスタ(TFT)、5は駆動電極、6は対向電極、7は保持容量形成用電極、8は共通配線、9はゲート絶縁膜、10は保護膜、11は液晶、12はブラックマトリックス、14はコンタクトホール、15はトランジスタのソース電極、16はトランジスタのドレイン電極である。また、20はアレ基板(ガラス基板1、信号線3、駆動電極5、対向電極6等で構成されている)、30はアレ基板20に対向して配置された表示画面となる対向基板、40は信号線3と対向電極6の間の隙間であるスリット、50は画素の開口部である。

【0046】TFTアレ基板20を形成する際、保護膜10は窒化シリコン、酸化シリコン等の透明絶縁膜で形成され、保護膜10の表面は段差を有していた。しかし、実施の形態3では保護膜10を、形成される層の表面を平坦化する機能を有したアクリルメタクリル系またはアクリルエポキシ系などの材料を用いて形成することによって、図9(b)、図10に示すように保護膜10の表面の段差を無くし、平坦化したものである。

【0047】実施の形態3にかかるIPS型液晶表示装置は、保護膜10の表面を平坦化することにより、表示画面全体にわたってアレ基板の表面と対向基板30との間の距離(ギャップ)を精度よく均一に構成することが可能となり、画面全体にわたって輝度むらの少ない液晶表示装置を製作することが出来る。また、保護膜10の段差部におけるクラック等による不良発生率も小さくなり歩留まりが改善される。また、平坦化により液晶の配向に必要なラビング処理が均一にかかり配向乱れが少

ない高品位の液晶表示装置を実現することが出来る。

【0048】また、実施の形態1と同様に、駆動電極5と対向電極6を信号線3の形成されている層よりも液晶に近い層に設けたので、効率的に液晶を駆動でき、駆動電極5、対向電極6間の間隔を広げることができるので、開口率も改善されるという効果もある。

【0049】実施の形態4。図11は、本発明の実施の形態4にかかるIPS型液晶表示装置の一画素の構造を模式的に示したもので、図11(a)はその平面図、図11(b)は図11(a)のA-A'での断面図である。図において、1はガラス基板、2は走査線、3は信号線、4は薄膜トランジスタ(TFT)、5は駆動電極、6は対向電極、7は保持容量形成用電極、8は共通配線、9はゲート絶縁膜、10は保護膜、11は液晶、14はコンタクトホール、15は薄膜トランジスタ(TFT)4のソース電極、16は薄膜トランジスタ(TFT)のドレイン電極である。また、20はアレイ基板(ガラス基板1、信号線3、駆動電極5、対向電極6等で構成されている)、30はアレイ基板20に対向して配置された表示画面となる対向基板、60はガラス基板1に設けられた遮光膜である。

【0050】実施の形態4は、実施の形態1から実施の形態3の液晶表示装置の画素構造において、信号線3と対向電極6の間のスリット40(図18(a)参照)からの漏れ光を遮光する遮光膜60をガラス基板1の上に形成したことを特徴とするものである。以下、図11(a)、図11(b)に基づいて実施の形態4にかかる液晶表示装置の構造を説明する。

【0051】図11(b)において、ガラス基板1上に遮光膜60を形成する。図11(b)に図示しないが走査線2も遮光膜60と同じ層に形成されている。前記走査線2は薄膜トランジスタ(TFT)4のゲート電極としても機能する。この走査線2、遮光膜60上にゲート絶縁膜9を積層する。このゲート絶縁膜9上に信号線3を、遮光膜60と重なる位置に形成する。また、薄膜トランジスタ(TFT)4もゲート絶縁膜9上に形成される。前記薄膜トランジスタ(TFT)4はチャネルエッチ型TFT、チャネル保護膜型TFTのどちらを用いてもよい。薄膜トランジスタ(TFT)4のソース電極15、ドレイン電極16も信号線3と同じ層に形成して、さらに保護膜10を積層する。続いて保護膜10にコンタクトホール14を形成し、保護膜10上に設けられた駆動電極5と、ゲート絶縁膜9上に設けられた薄膜トランジスタ(TFT)4のドレイン電極とをコンタクトホール14を介して接続する。

【0052】駆動電極5と同様に保護膜10上に対向電極6も形成される。対向電極6は遮光膜60と重なるような位置において、ドレイン電極16と保護膜10を介して重ねて設けられて、駆動電極5の電位を保持する蓄積容量7を形成する。また、対向電極6は同じ層に設け

られた共通配線8と接続される。図11(a)の画素の両端部に破線が示されている。この破線は図11(b)に示すガラス基板1上に設けられた遮光膜60の図11(a)における位置を示している。この破線が示すように両端の対向電極6は遮光膜60に重なるように形成されることにより、信号線3と対向電極6の間のスリット40(図18(a)参照)を覆っていることが分かる。

【0053】実施の形態4では、駆動電極5と対向電極6を保護膜10上に形成したが、駆動電極5と信号線3とをゲート絶縁膜9上に同時に形成し、窒化シリコン等を用い保護膜を形成した後、対向電極6を形成してもよい。この場合駆動電極5と対向電極6は別層にて形成される。実施の形態4においては、遮光膜60をガラス基板1上に形成したことにより信号線3と対向電極6との間のスリット40(図示せず)からの光漏れが生じないので、対向基板30のブラックマトリックス(BM)12の幅が細くできたり、BM12で信号線3方向の遮光を行わなくてもよくなる。従って、ブラックマトリックス12を省くことができ、開口部を大きく取ることができるようになった。

【0054】また、液晶表示装置はTFTアレイ基板とカラーフィルタ付きの対向基板とを重ねて組み合わせ、これらの基板間に液晶11を封入し、駆動回路を接続して製造される。しかし、TFTアレイ基板と対向基板とを重ね合わせる工程で重ね合わせ誤差が生じることがあり、ブラックマトリックスはTFTアレイ基板20のスリット40からの漏れ光を確実に遮光できるように、前記重ね合わせ誤差を考慮して遮光領域を大きく取らねばならなかった(図18(a)参照)。そこで、遮光膜60をTFTアレイ基板20に設けることで、スリット等漏れ光の透過部を確実に遮光することができ、TFTアレイ基板と対向基板との重ね合わせ誤差を考慮する必要がなくなった。従って、ブラックマトリックス12を必要最小限のサイズにまとめることができ、開口部を大きくすることができる。

【0055】また、実施の形態4にかかるIPS型液晶表示装置は、実施の形態1にかかるIPS型液晶表示装置と同様、駆動電極5と対向電極6を液晶に近い層に設けたので、効率的に液晶を駆動でき、電極間の間隔を広げたりすることができるので、開口率を改善できるという効果がある。

【0056】実施の形態5。図12は、実施の形態5にかかるIPS型液晶表示装置の一画素の構造を模式的に示したもので、図12(a)はその平面図、図12

(b)は図12(a)のA-A'での断面図である。図において、1はガラス基板、2は走査線、3は信号線、4は薄膜トランジスタ(TFT)、5は駆動電極、6は対向電極、7は保持容量形成用電極、8は共通配線、9はゲート絶縁膜、10は保護膜、11は液晶、12はブラックマトリックス、14はコンタクトホール、15は

トランジスタのソース電極、16はトランジスタのドレイン電極である。また、20はアレイ基板（ガラス基板1、信号線3、駆動電極5、対向電極6等で構成されている）、30はアレイ基板20に対向して配置された表示画面となる対向基板である。

【0057】実施の形態5は、実施の形態1と同様に駆動電極5および対向電極6を信号線3よりも上層に形成し、さらに信号線3を覆うように対向電極6を形成することにより、信号線3からの漏れ電界の影響を受けにくくすると共に信号線3と対向電極6の間のスリット40

（図18（a）参照）からの漏れ光が生じないように構成したことを特徴とするものである。また、図13は、信号線3を覆うように形成した駆動電極5と、この駆動電極5と同じ層に形成された対向電極6との間に発生する電位の変化をシミュレートした結果を示す図である。なお、図13は、相対透過率50%の中間調に白ウインドウを表示したとき、ウインドウ部上部または下部における電位を計算したものである。

【0058】信号線3よりも下層に駆動電極5と対向電極6を有する従来のIPS型液晶表示装置のTFTEアレイ基板における電位分布を示す図21と図13とを比較すると、図13では、信号線3と対向電極6との電位差より発生する電界が、信号線3を覆うように上部に配置されている対向電極6により遮蔽されているので、開口部50の信号線3に近い領域と信号線3より離れた領域の電位分布はほぼ対称であることがわかる。

【0059】このように、実施の形態5にかかるIPS型液晶表示装置のTFTEアレイ基板20は、駆動電極5および対向電極6を信号線3よりも上層に設け、かつ信号線3を覆うように対向電極6を形成したことにより、信号線3と対向電極6との間に発生する電界の、駆動電極5と対向電極6との間に発生する電界に対する影響を大幅に軽減できるので、開口部50端部の対向電極6を信号線3にさらに近づけることができ、開口部50の総面積を広くすることが可能になる。

【0060】また、対向電極6は信号線3を覆うように形成されているので、漏れ光の遮光も確実にでき、ブラックマトリックス12をなくすことも可能になる。従って、開口部50の面積を広げることができるので、高輝度な液晶表示装置を提供することが可能になり、また、ブラックマトリックス12を設ける工程も削減できるので生産性が改善され、かつ低コストで液晶表示装置が製造できるようになった。さらに、実施の形態1と同様、駆動電極5と対向電極6は液晶に近い層に形成されるので、液晶を効率的に駆動でき、電極間の間隔を広げることができ、開口率も改善される。

【0061】実施の形態6. 図14は、実施の形態6にかかるIPS型液晶表示装置の一画素の構造を模式的に示したもので、図14（a）はその平面図、図14

（b）は図14（a）のA-A'での断面図である。な

お、図14に示す実施の形態6にかかるIPS型液晶表示装置の画素の構成は、基本的には図12に示す実施の形態5にかかるIPS型液晶表示装置の画素の構成と同様であるので説明は省略する。実施の形態5では、信号線3を完全に覆う構造の対向電極6を設けた場合を示したが、図14に示す実施の形態6にかかるIPS型液晶表示装置の画素の対向電極6のように、信号線3の一部を覆う構造の対向電極6を用いてもよい。

【0062】実施の形態6によれば、対向電極6を信号線3の一部を覆うように形成しているので、信号線3と対向電極6との電位差により発生する電界が駆動電極5と対向電極6の間の電界に及ぼす影響を軽減することができるとともに、信号線3と対向電極6との間のスリット40を透過する漏れ光の遮光も行うことができるので、ブラックマトリックス12の幅を細くしたり、ブラックマトリックス12をなくすことも可能になり、開口部の広い高輝度な液晶表示装置を実現できる。また、ブラックマトリックス12をなくすことで、ブラックマトリックス12を設ける工程を減らすことができるので生産性も向上する。また、信号線3と対向電極6の重なる面積が小さくなるので信号線3と対向電極6の間の短絡欠陥の発生を少なくすることがわかる。さらに、信号線3と対向電極6の重なる面積が小さくなるので、信号線3と対向電極6との間の容量を小さくでき、配線の負荷が減少し駆動が容易となる。

【0063】実施の形態7. 図15は、実施の形態7にかかるIPS型液晶表示装置の一画素の構造を模式的に示したもので、図12（a）はその平面図、図12

（b）は図12（a）のA-A'での断面図である。なお、図15に示す実施の形態7にかかるIPS型液晶表示装置の画素の構成は、図14に示す実施の形態5にかかるIPS型液晶表示装置の画素の構成と同様であるので、説明は省略する。実施の形態7は、図14に示すように例えば実施の形態6による液晶表示装置の画素構造において、走査線2の上まで対向電極6を拡大して形成し、前記対向電極6を用いて、この画素と隣接する他の画素の対向電極6を接続したことを特徴とするものである。

【0064】このような構造を用いることにより対向電極6の幅を太くなり、対向電極6の抵抗が下がり負荷が低減されるので駆動が容易となる。また、共通配線8に断線が生じて走査線2上の対向電極6から電位が供給されるので、表示上の不良とならない。従って製品の信頼性が高められる。なお、実施の形態7による対向電極6の構造は、実施の形態7のみならず他の実施の形態にも適用することは可能であり、同様の効果を奏することはいうまでもない。

【0065】実施の形態8. 図16は、本発明の実施の形態8にかかる液晶表示装置の一画素中の保持容量部の断面構造を模式的に示したものである。図において、1

7はガラス基板1の上に形成された保持容量増加のための電極、16は薄膜トランジスタ(TFT)のドレイン電極であり、図に示すように実施の形態8にかかる液晶表示装置の保持容量部は、保持容量増加のための電極17がゲート絶縁膜9を介して薄膜トランジスタ(TFT)のドレイン電極16とは別層(例えば、走査線2の層)に重ねて積層して形成されている。このように、保持容量部の電極を積層構造とすることにより、保持容量を形成するための電極の面積を小さくすることが可能となるので、その結果画素の開口部50(図示せず)を広げることができる。

【0066】実施の形態9、図17は、実施の形態9にかかるTFTアレイ基板のプロセスフローを示す図である。図17において、1はガラス基板、2は走査線、3は信号線、4は薄膜トランジスタ(TFT)、5は駆動電極、6は対向電極、8は共通配線、9はゲート絶縁膜、10は保護膜、14はコンタクトホール、15はトランジスタのソース電極、16はトランジスタのドレイン電極、19は第二の保護膜である。また、アレイ基板20は、ガラス基板1、信号線3、駆動電極5、対向電極6等で構成されている。

【0067】実施の形態9では、図4から図6に示すTFTアレイ基板に第二の保護膜19を形成したものである。従って、実施の形態9にかかる液晶表示装置の画素の構造は実施の形態1と同様である。以下、実施の形態9にかかる液晶表示装置の製造方法について説明する。実施の形態9におけるTFTアレイ基板のプロセスフローは、対向電極6の形成工程まで実施の形態1と同様である。実施の形態9では対向電極6の上層に第二の保護膜19を形成するところに特徴がある。

【0068】駆動電極5と対向電極6の間に第二の保護膜19が形成されることにより、異物による上記駆動電極5と対向電極6の短絡を防ぐことができ歩留まりが向上する。また駆動電極5及び対向電極6による段差を平坦にすることが出来るので、液晶の配向に必要なラビング処理が均一にかかり配向乱れが少ない高品位の液晶表示装置を実現することが出来る。

【0069】

【発明の効果】この発明にかかる面内スイッチング型液晶表示装置によれば、駆動電極および対向電極を信号線とは異なる液晶に近い層に形成したので、駆動電極および対向電極は液晶に近い層に形成され、より効率的に液晶を駆動できる。従って駆動電極および対向電極間の間隔を広げることが可能になり、開口率が改善された。

【0070】また、この発明にかかる面内スイッチング型液晶表示装置によれば、駆動電極と対向電極のうち、少なくとも対向電極は信号線の形成されている層とは異なる液晶に近い層に形成したので、信号線と対向電極の電位差より発生する電界の及ぼす影響も抑制できる。

【0071】また、この発明にかかる面内スイッチング

型液晶表示装置によれば、対向電極を信号線の一部または全部を覆うように形成したので、信号線と対向電極の電位差より発生する電界が、開口部の駆動電極と対向電極の間に発生する電界に影響し、画質を悪化させる表示上の問題が発生するのを抑制できる。従って、高画質な液晶表示が可能となるとともに、バックライトを光源とする信号線と対向電極の間からの漏れ光も確実に遮光できるので、ブラックマトリックスをなくすることができ、開口率が改善される。

10 【0072】また、この発明にかかる面内スイッチング型液晶表示装置によれば、少なくとも対向電極を走査線とは異なる層に設け、前記走査線の一部または全部を覆うように形成したので、この対向電極を用いて他の画素の対向電極と接続することができるようになり、開口部の面積を減少させずに対向電極の幅を太くできる。従って対向電極の抵抗を下げ、配線の負荷を軽減することができる。また、共通配線に断線が生じて走査線上の対向電極から電位が供給されるので、表示上の不良の発生を抑制して信頼性を高めることができる。

20 【0073】また、この発明にかかる面内スイッチング型液晶表示装置によれば、共通配線と走査線と同じ層に設け、かつ信号線を前記共通配線および走査線よりも対向基板に近い層に設けたので、段差部において発生する不良を抑制できる。

【0074】また、この発明にかかる面内スイッチング型液晶表示装置によれば、TFTアレイ基板と液晶とが接する表面がほぼ平坦形状に形成された保護膜を備えたので、表示画面全体にわたってアレイ基板の表面と対向基板との間のギャップを精度よく均一に構成すること

30 や、液晶の配向に必要なラビング処理が均一にかかり配向乱れを少なくすることが可能となり、画面全体にわたって輝度むらの少ない液晶表示装置を実現することが出来る。また、保護膜の段差部におけるクラック等による不良発生率も小さくなり歩留まりが改善されるという効果がある。

【0075】また、この発明にかかる面内スイッチング型液晶表示装置によれば、信号線および対向電極と重ね合わさるように形成された遮光手段を有するTFTアレイ基板を設けたので、スリットを透過する漏れ光を遮光することが可能になり、対向基板に設けられていたブラックマトリックスは不要になった。また、遮光手段のサイズを決める際、TFTアレイ基板と対向基板を重ね合わせる際の重ね合わせ誤差を考慮せず済むようになったので、遮光手段のサイズを必要最小限の大きさにすることができ、開口率を改善できた。

【0076】また、この発明にかかる面内スイッチング型液晶表示装置によれば、薄膜トランジスタと、駆動電極と、保持容量増加電極とを層を異にして重畳するように形成したTFTアレイ基板を有するので、保持容量を形成するための電極の面積を小さくすることが可能

となり、その分画素の開口部を広くすることができ、高輝度な液晶表示装置を実現できるという効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 にかかる面内スイッチング型液晶表示装置の一面素の構造を示す断面図である。

【図 2】 この発明の実施の形態 1 にかかる面内スイッチング型液晶表示装置の一面素の構造を示す平面図である。

【図 3】 この発明の実施の形態 1 にかかる面内スイッチング型液晶表示装置の一面素の構造を示す平面図および断面図である。

【図 4】 この発明の実施の形態 1 にかかる面内スイッチング型液晶表示装置の TFT アレイ基板のプロセスフローを示す図である。

【図 5】 この発明の実施の形態 1 にかかる面内スイッチング型液晶表示装置の TFT アレイ基板のプロセスフローを示す図である。

【図 6】 この発明の実施の形態 1 にかかる面内スイッチング型液晶表示装置の TFT アレイ基板のプロセスフローを示す図である。

【図 7】 この発明の実施の形態 2 にかかる面内スイッチング型液晶表示装置の一面素の構造を示す平面図および断面図である。

【図 8】 この発明の実施の形態 2 にかかる面内スイッチング型液晶表示装置の TFT アレイ基板のプロセスフローを示す図である。

【図 9】 この発明の実施の形態 3 にかかる面内スイッチング型液晶表示装置の一面素の構造を示す平面図および断面図である。

【図 10】 この発明の実施の形態 3 にかかる面内スイッチング型液晶表示装置の TFT アレイ基板のプロセスフローを示す断面図である。

【図 11】 この発明の実施の形態 4 にかかる面内スイッチング型液晶表示装置の一面素の構造を示す平面図および断面図である。

【図 12】 この発明の実施の形態 5 にかかる面内スイッチング型液晶表示装置の一面素の構造を示す平面図および断面図である。

【図 13】 駆動電極および対向電極が信号線より上層にあるときの電位分布を示す図である。

【図 14】 この発明の実施の形態 6 にかかる面内スイッチング型液晶表示装置の一面素の構造を示す平面図および断面図である。

【図 15】 この発明の実施の形態 7 にかかる面内スイッチング型液晶表示装置の一面素の構造を示す平面図および断面図である。

【図 16】 この発明の実施の形態 8 にかかる面内スイッチング型液晶表示装置の一面素の構造を示す断面図である。

【図 17】 この発明の実施の形態 9 にかかる面内スイッチング型液晶表示装置の TFT アレイ基板のプロセスフローを示す図である。

【図 18】 従来の面内スイッチング型液晶表示装置の一面素の構造を示す平面図および断面図である。

【図 19】 従来の面内スイッチング型液晶表示装置の一面素の等価回路を示す図である。

【図 20】 従来の面内スイッチング型液晶表示装置の構成を示す構成図である。

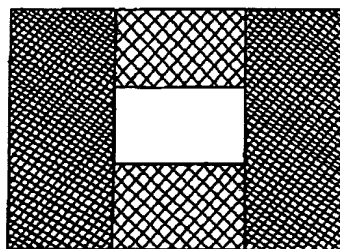
【図 21】 駆動電極および対向電極が信号線より下層にあるときの電位分布を示す図である。

【図 22】 クロストークを示す図である。

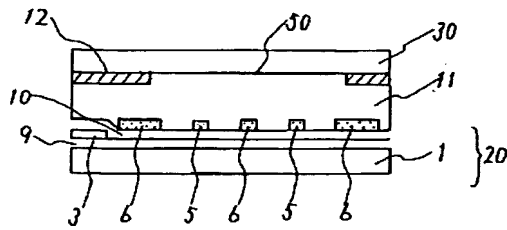
【符号の説明】

- 1 ガラス基板 2 走査線 3 信号線  
4 薄膜トランジスタ (TFT) 5 駆動電極 6 対向電極  
7 保持容量形成用電極 8 共通配線 9 ゲート絶縁膜  
10 保護膜 11 液晶 12 ブラックマトリックス (BM)  
13 保持容量 14 コンタクトホール  
15 ソース電極 16 ドレイン電極  
17 保持容量増加のための電極 18 スルーホール  
19 第二の保護膜 20 アレイ基板 21 チャンネル保護膜  
30 対向基板 40 スリット 50 開口部  
60 遮光膜

【図 22】

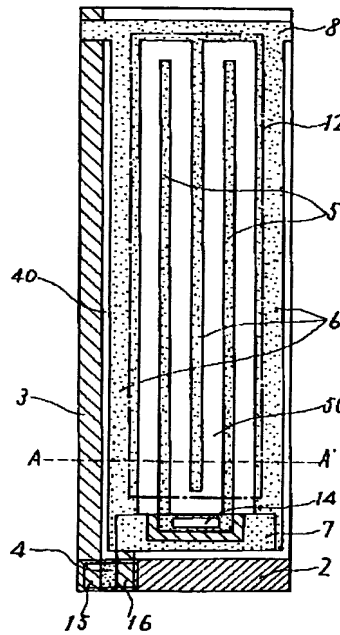


【図1】

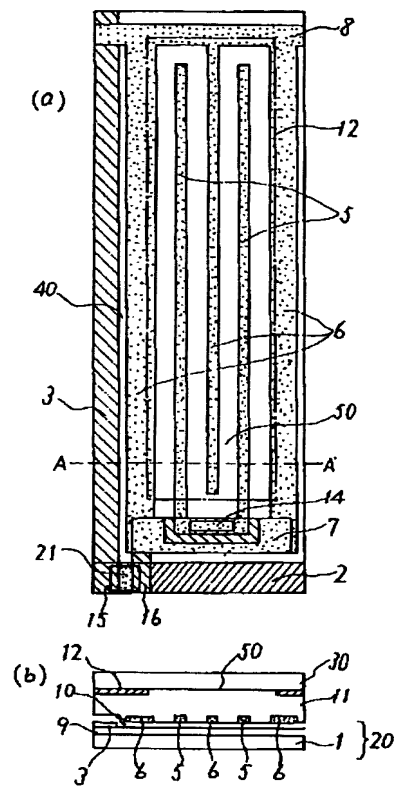


- 1: ガラス基板  
 3: 信号線  
 5: 駆動電極  
 6: 対向電極  
 9: ゲート絶縁膜  
 10: 保護膜  
 11: 液晶  
 12: ブラックマトリクス  
 20: TFT-LCD基板  
 30: 対向基板  
 50: 開口部

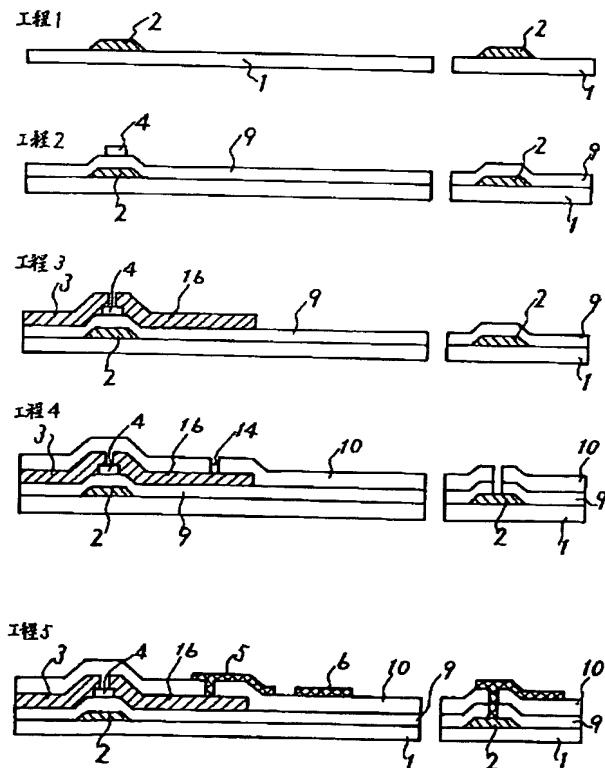
【図2】



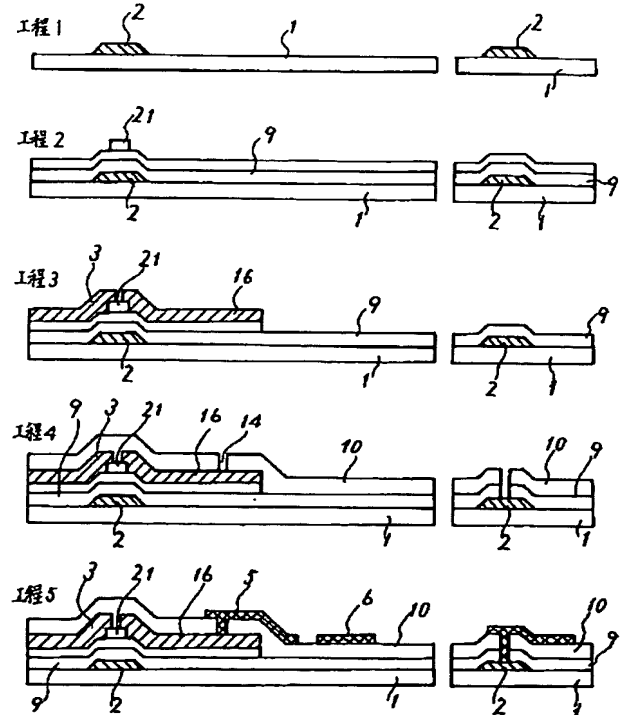
【図3】



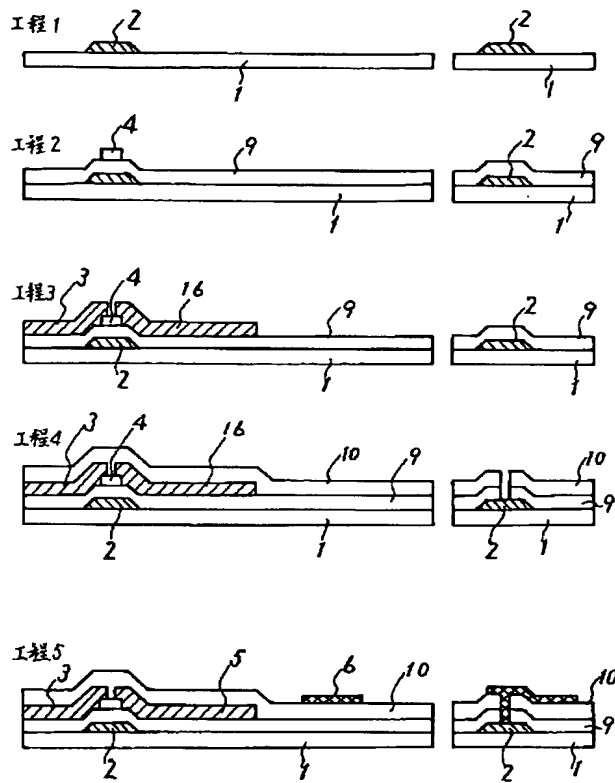
【図4】



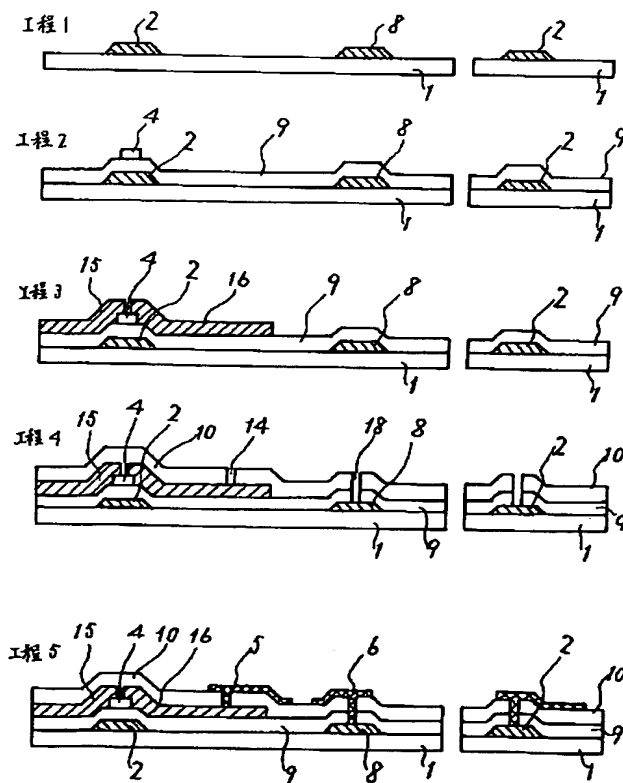
【図6】



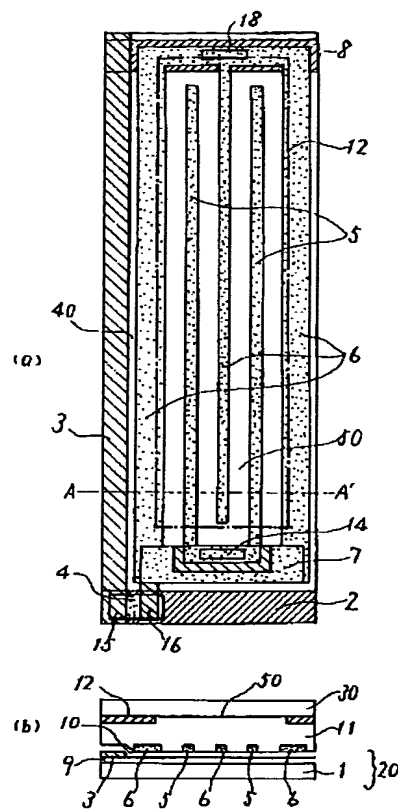
【圖 5】



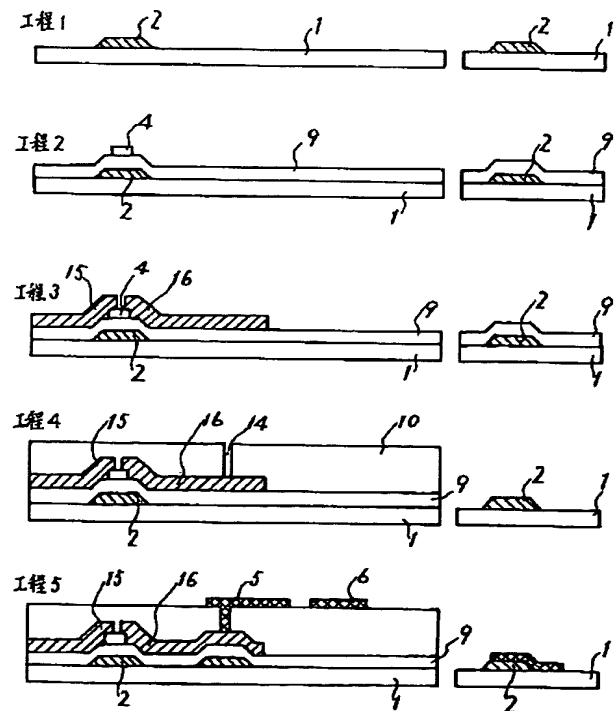
【圖 8】



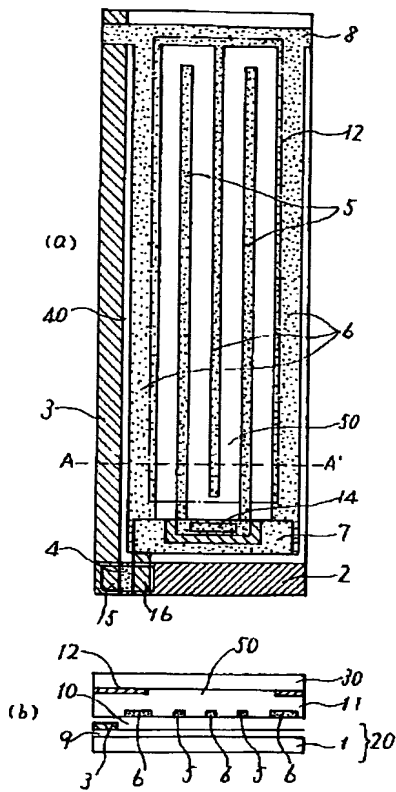
【圖 7】



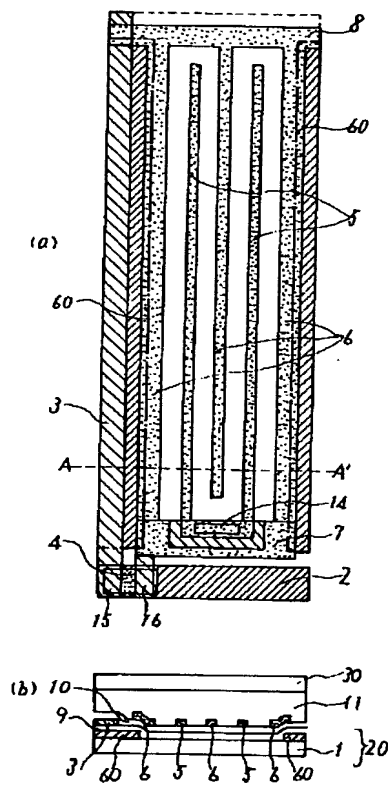
【圖 10】



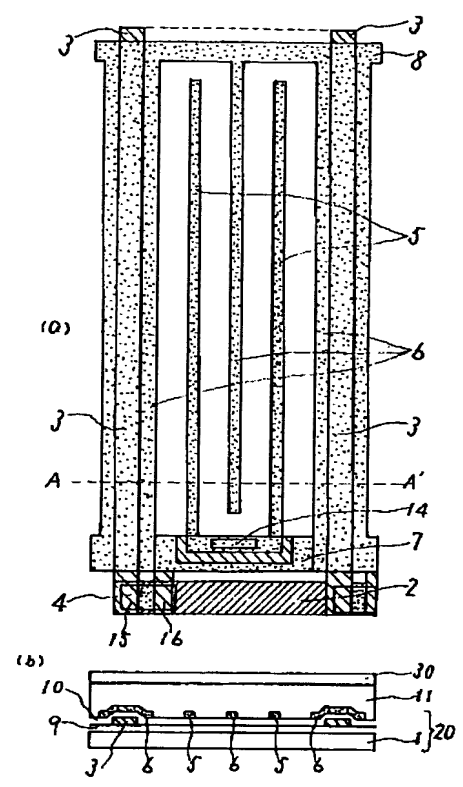
【図 9】



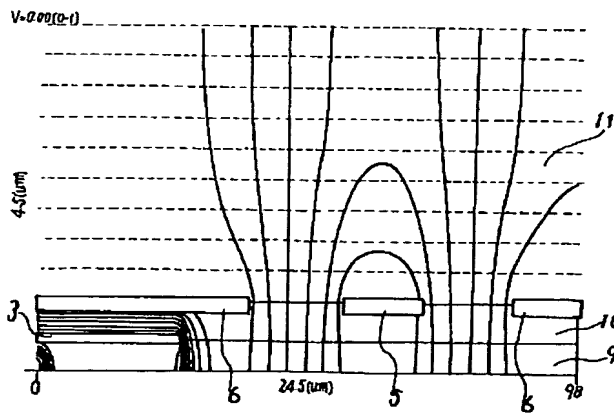
【図 11】



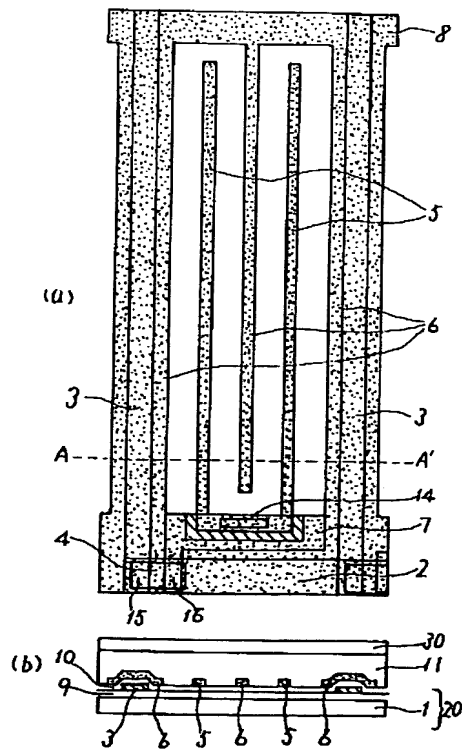
【図 12】



【図 13】

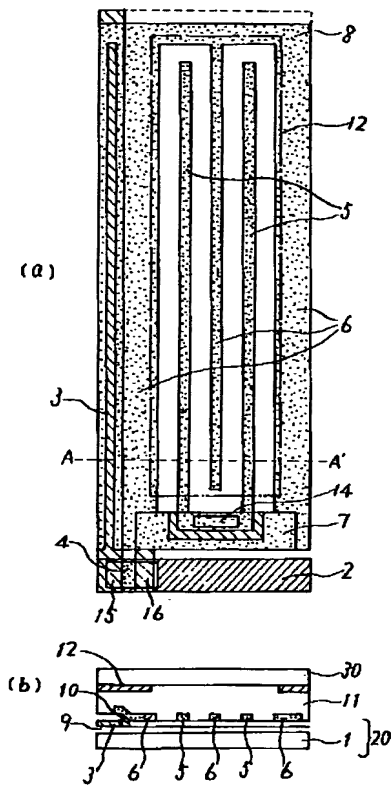


【図 15】

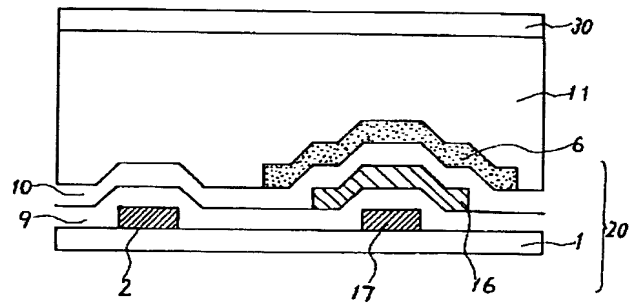




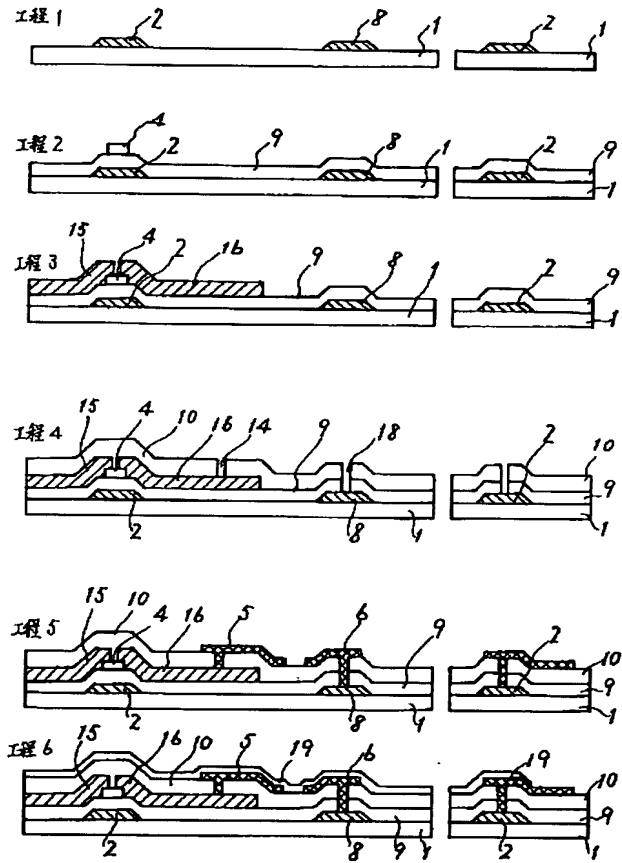
【図 14】



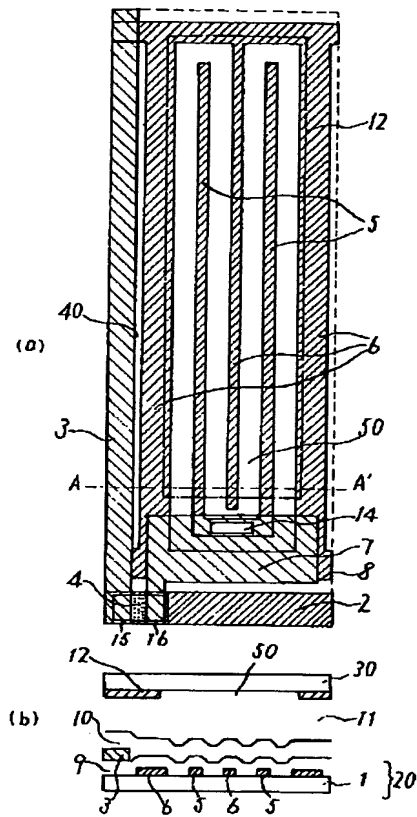
【図 16】



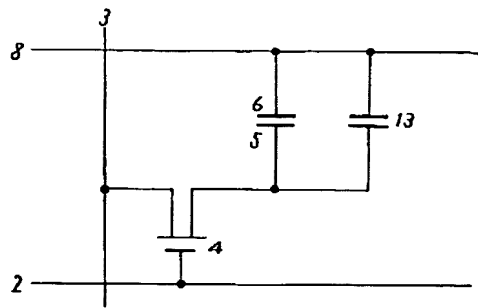
【図 17】



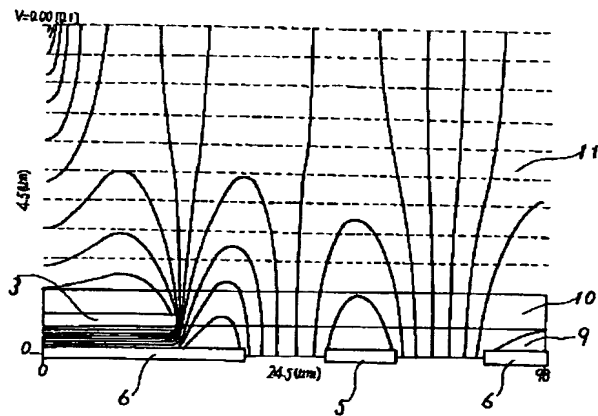
【図18】



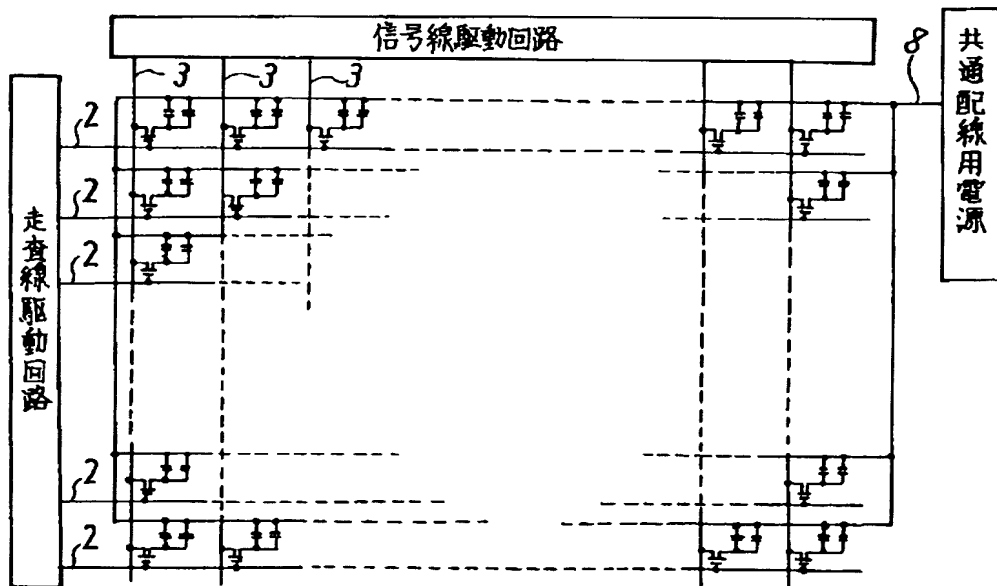
【図19】



【図21】



【図20】



## 【手続補正書】

【提出日】平成 10 年 6 月 9 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 ガラス基盤、このガラス基盤上に形成されるゲート絶縁膜、このゲート絶縁膜上に形成される保護膜、前記ガラス基盤上に形成され、走査信号を伝達する走査線、前記ゲート絶縁膜上に形成され、映像信号を伝達する信号線、前記走査線と前記信号線が交差してなる格子状の画素、前記画素に設けられて前記走査線および前記信号線と接続され、走査信号に基づいて映像信号のスイッチングを行う薄膜トランジスタ、この薄膜トランジスタと接続された駆動電極、この駆動電極と対向するように配置された対向電極、この対向電極と他の画素の対向電極とを相互に接続する共通配線を備えた TFT アレイ基板と、この TFT アレイ基板に対向するように設けられた対向基板と、前記 TFT アレイ基板と前記対向基板との間に封入され、前記駆動電極および対向電極が基板面に平行な電界を発生させて駆動する液晶とを備えた面内スイッチング型液晶表示装置において、前記 TFT アレイ基板は、前記信号線の形成されている層とは異なる前記保護膜上に前記対向電極を設けたことを特徴とする面内スイッチング型液晶表示装置。

【請求項 2】 TFT アレイ基板は、信号線の一部または全部を覆うように形成した対向電極を有することを特徴とする請求項 1 に記載の面内スイッチング型液晶表示装置。

【請求項 3】 TFT アレイ基板は、少なくとも対向電極を走査線とは異なる層に設け、前記走査線の一部または全部を覆うように形成した対向電極を有することを特徴とする請求項 2 に記載の面内スイッチング型液晶表示装置。

【請求項 4】 TFT アレイ基板は、共通配線と走査線をガラス基盤上に設け、かつ信号線をゲート絶縁膜上に設けたことを特徴とする請求項 1 に記載の面内スイッチング型液晶表示装置。

【請求項 5】 TFT アレイ基板は、この TFT アレイ基板と液晶とが接する表面がほぼ平坦形状に形成された保護膜を備えたことを特徴とする請求項 1 に記載の面内スイッチング型液晶表示装置。

【請求項 6】 TFT アレイ基板は、信号線および対向電極と重ね合わさるように形成された遮光手段を有することを特徴とする請求項 1 に記載の面内スイッチング型液晶表示装置。

【請求項 7】 TFT アレイ基板は、走査信号に基づいて映像信号のスイッチングを行う薄膜トランジスタと、

この薄膜トランジスタのスイッチがオンの時に書き込まれた電荷を前記薄膜トランジスタのスイッチがオフの間蓄電する駆動電極と、前記駆動電極の蓄電力を補強する保持容量増加電極とを、層を異にして重畳するように形成したことを特徴とする請求項 1 に記載の面内スイッチング型液晶表示装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の詳細な説明

【補正方法】変更

【補正内容】

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アレイ基板に対して平行な電界を発生して液晶を駆動する面内スイッチング型（In Plain Switching 型：以後、IPS 型と略す）液晶表示装置に係わり、更に詳しくは信号線からの漏れ電界の影響を軽減し、遮光領域を減らすことにより開口率を高めた高輝度な液晶表示装置の構造に関する。

【0002】

【従来の技術】アクティブマトリックス型の液晶表示装置において、液晶に印加する電界の方向をアレイ基板に対して平行な方向とする面内スイッチング方式（すなわち IPS 方式）が主に広視野角を得る手法として用いられている（例えば、特開平 8-254712 号公報参照）。この方式を採用すると、視角方向を変化させた際のコントラストの変化や階調レベルの反転がほとんど無くなることが明らかにされている（例えば、M. Oh-e, 他, Asia Display ■95, pp. 577-580 参照）。

【0003】図 18 は、従来の IPS 型液晶表示装置の一画素の構造を模式的に示したものであり、図 18

(a) はその平面図、図 18 (b) は図 18 (a) の A-A' での断面図である。図 19 は、IPS 型液晶表示装置の画素電極を構成する一画素の等価回路であり、図 20 は IPS 型液晶表示装置の回路を説明する回路構成図である。図 18 において、1 はガラス基板、2 は走査線、3 は信号線、4 は薄膜トランジスタ (TFT)、5 は駆動電極、6 は対向電極、7 は保持容量形成用電極、8 は共通配線、9 はゲート絶縁膜、10 は保護膜、11 は液晶、12 はブラックマトリックス (BM)、14 はコンタクトホール、15 はソース電極、16 はドレイン電極である。また、20 はアレイ基板（ガラス基板 1、信号線 3、駆動電極 5、対向電極 6 等で構成されている）、30 はアレイ基板 20 に対向して配置された対向基板、40 は信号線 3 と対向電極 6 の間の隙間であるスリット、50 は開口部である。図 19、図 20 において図 18 と同一符号は図 18 と同一あるいは相当のものを表す。

【0004】図 18、図 19、図 20 に基づいて従来の

IPS型液晶表示装置の概略の構成と動作について説明する。図20において、走査線駆動回路と接続された走査線2と信号線駆動回路と接続された信号線3がほぼ直角に交差することにより、走査線2と信号線3とにより囲まれる複数の格子状の画素ができる。この格子状の画素を形成する走査線と信号線との各交点に薄膜トランジスタ(TFT Thin-Film-Transistor)が設けられている。

【0005】この状態を等価回路で示したのが図19である。薄膜トランジスタ(TFT)4は、ゲート電極、ソース電極15、ドレイン電極16の3つの電極を持つ半導体素子で、ゲート電極は走査線駆動回路から伸びる走査線2と接続され、ソース電極15は信号線駆動回路と接続された信号線3と接続される。残るドレイン電極16は駆動電極5と接続され、対向電極6との間に生じる電界により液晶を駆動する。13は駆動電極5、対向電極6の間で電荷を保持する保持容量である。次に図18(a)と図18(b)に基づいて一画素の構造について説明する。走査線2と信号線3とが交差して形成される画素には、液晶層を駆動する駆動電極5および対向電極6と、薄膜トランジスタ(TFT)4が設けられる。薄膜トランジスタ(TFT)4には3つ電極があり、図20に示した走査線駆動回路と接続された走査線2は、前記薄膜トランジスタ(TFT)4のゲート電極と接続され、走査線駆動回路が出力する走査信号を薄膜トランジスタ(TFT)4のゲート電極に印加する。

【0006】信号線駆動回路と接続された信号線3は、前記薄膜トランジスタ4(TFT)のソース電極15と接続されて、信号線駆動回路が出力する映像信号を伝達する。前記薄膜トランジスタ(TFT)4のドレイン電極16は、図18(a)に表示されるように、コンタクトホール14を介して駆動電極5と接続されている。同じ画素において、駆動電極5と向かいあって噛み合わさるように設けられているのが対向電極6である。この対向電極6は共通配線8と接続されている。共通配線8はTFTアレイ基板20上の各画素に設けられた対向電極6をそれぞれ接続している。

【0007】次に図18(b)に基づいて画素断面の構造を説明する。1はガラス基板であり、このガラス基板1上に駆動電極5と対向電極6がそれぞれ形成されている。なお、図18(b)においては図示しないが、駆動電極5、対向電極6と同じ層に走査線2、共通配線8も形成されている。次にゲート絶縁膜9を積層し、このゲート絶縁膜9の上に信号線3が形成されている。図18(b)には図示されないが、信号線3と同じ層に保持容量形成用電極7も形成されている。この信号線3の上にさらに保護膜10が積層され、TFTアレイ基板20が形成される。このTFTアレイ基板20と対向基板30が重ね合わされ、TFTアレイ基板20と対向基板30の間に液晶11が封入されてIPS型液晶表示装置が製

造される。

【0008】IPS型液晶表示装置は、TFTアレイ基板20に設けられた駆動電極5と対向電極6の間において、TFTアレイ基板20の表面に沿って電界を発生し液晶を駆動する方式であるので、対向基板30は電極を備えない無電極基板である。対向基板30は遮光膜であるブラックマトリックス(BM)12を設け、図示はないが、図18(b)においてTFTアレイ基板の下側に設けられているバックライトを光源として、図18(a)のスリット40より漏れる漏れ光を遮光するようにしている。

【0009】50が示す破線で囲まれた領域は、一画素あたりの開口部を表すものであり、バックライトを光源とする光が透過する窓の役割を果たしている。しかし、前記バックライトからの光は駆動電極5、対向電極6、ブラックマトリックス12等により遮られ、その結果液晶ディスプレイの画質に大きく影響する。従って、開口部50の面積に占める前記駆動電極5、対向電極6、ブラックマトリックス12等の面積の割合を減少させることが課題になっている。

【0010】以上、図18、図19、図20について従来のIPS型液晶表示装置の画素の構成について説明した。次にIPS型液晶表示装置の動作について説明する。各画素に薄膜トランジスタ(TFT)が設けられ、薄膜トランジスタ(TFT)のゲート電極が走査線2に、ソース電極15が信号線3に、ドレイン電極16が駆動電極5に接続されている。このような薄膜トランジスタ(TFT)4は半導体スイッチング素子であり、各画素の液晶の駆動を制御するものである。この薄膜トランジスタ(TFT)4のゲート電極に走査線駆動回路から走査線2を介して走査信号が印加されるとその行の薄膜トランジスタ(TFT)4がすべてオンに切り換えられる。

【0011】ゲート電極がオンに切り換えられると信号線駆動回路から伝達される映像信号がソース電極15を経由してドレイン電極16に流れ、ドレイン電極16と接続された駆動電極5に書き込まれる。駆動電極5に書き込まれた電荷は対向電極6との間で保持され、再びゲート電極がオンになり新たな映像信号電荷が書き込まれるまで現状の電荷を保持する。つまり、駆動電極5と対向電極6は、ゲート電極がオンになっている間に電荷が書き込まれ、ゲート電極がオフになると書き込まれた電荷はそのまま蓄えられるという点で、一種のコンデンサの役割を果たしている。このコンデンサの蓄電力を高めるのが図19に示す保持容量13で、この保持容量13は、ゲート絶縁膜9を介して保持容量形成用電極7と共通配線8が上下に積層されて形成される。

【0012】

【発明が解決しようとする課題】ところで、図18に示した従来のIPS型液晶表示装置において、一画素の側

端部に設けられている信号線 3 と、この信号線 3 と平行して形成されている対向電極 6 との間には、信号線 3 と対向電極 6 の電位差により電界が発生する。図 2 1 は、信号線 3 よりも下層に駆動電極 5 および対向電極 6 が形成されている T F T アレイ基板を有する、従来の I P S 型液晶表示装置の信号線 3 と対向電極 6 の間に発生する電界が駆動電極 5 と対向電極 6 の間に発生する電界に及ぼす影響を示す図であり、駆動電極 5 と対向電極 6 の間に発生する電位の変化をシミュレートして得たものである。なお、図 2 1 は、相対透過率 5 0 % の中間調に白ウインドウを表示したとき、ウインドウ部上部または下部における電位を計算したものである。

【0 0 1 3】駆動電極 5 は 2 つの対向電極 6 の間に形成され、この駆動電極 5 を中心に電位分布が対称となるのが、液晶を正確に駆動する上で望ましい。図 2 1 を見ると、開口部 5 0 の信号線 3 に近い領域の電位分布は、信号線 3 と対向電極 6 の間に発生した電界からの漏れ電界の影響を強く受けており、その電位分布は非対称となっているのが分かる。この電界はガラス基板 1 の表面に沿って発生するものであり、クロストークのような問題を引き起こす。例えば、図 2 2 に示すような黒表示の中に白ウインドウを表示した場合に、ウインドウ部上下の輝度が他の黒表示部に対し変化する「縦方向クロストーク」と呼ばれる表示上の問題が発生する。

【0 0 1 4】以下、ノーマリーブラックモード（電圧を印加しない状態で黒表示となるモード）の場合の例を図 1 9 を用いて説明する。図 2 2 に示したようなウインドウパターンを表示した場合、画面中のウインドウ部とその上下の部分の画素の信号線 3 には、対向電極 6 に対して黒表示部分の選択期間中には対向電極 6 と同じ電圧が加わっており、白表示部分の選択期間中には白表示に必要な電圧が加わっている。

【0 0 1 5】液晶 1 1 には電極間の電位差の絶対値を時間平均した値の電圧が実効的に加わると考えられる。従って、例えば、黒表示の選択期間と白表示の選択期間が等しい場合、これらの画素には、信号線 3 と対向電極 6 の間に、中間調表示と等しい実効電位が加わることになる。このとき、信号線 3 と対向電極 6 の間に発生するガラス基板 1 に水平な方向の電界によって信号線 3 と対向電極 6 の間のスリット 4 0 の上にある液晶は透過モードとなる。さらに、信号線 3 と対向電極 6 の電位差により発生する電界が、駆動電極 5 と対向電極 6 間の電界にも影響を及ぼし、黒表示部の液晶を透過モードに変える。その結果クロストークが発生する。

【0 0 1 6】このような縦方向クロストークの発生を防ぐためには、信号線 3 と対向電極 6 の間のスリット 4 0 を透過する漏れ光を、対向基板 3 0 に形成したブラックマトリックス 1 2（以下、B M と略す）で遮光すると共に、駆動電極 5 と対向電極 6 を開口部 5 0 側端部の対向電極 6 および信号線 3 から離して、信号線 3 と対向電極

6 間に発生した電界が駆動電極 5 と対向電極 6 の間の電界に干渉するのを防ぐ必要がある。しかし、駆動電極 5 と対向電極 6 を信号線 3 から離し、信号線 3 に隣接した対向電極 6 の幅を太くすると、開口部 5 0 の開口率、すなわち図 1 8（a）において破線で囲まれた開口部 5 0 の面積に対して、駆動電極 5 と対向電極 6 等の面積を開口部 5 0 の面積から差し引いた面積の占める割合、が小さくなり画質を悪化させる。従って、高画質な液晶表示装置を開発するためには、信号線 3 と信号線 3 に隣接した対向電極 6 の間に発生する電界を、開口率を下げずに遮蔽することが課題となっていた。

【0 0 1 7】また、図 1 8（b）より明らかなように、アレイ基板 2 0 の上層膜である保護膜 1 0 の表面は段差を有しており、対向基板 3 0 との間の距離（ギャップ）は一定ではない。従って、輝度むらが発生しやすく、画質を悪化させる原因となっていた。さらに、段差部を有しているため製造時にアレイ基板のクラック等による不良が発生するだけでなく、アレイ基板上の配線が段差部において断線する恐れもあり、製品の歩留り率、信頼性を改善する上で問題があった。

【0 0 1 8】また、バックライトを光源とする光がスリット 4 0 より漏れ光として透過して画質を悪化させる。この漏れ光を遮光するため、対向基板 3 0 にブラックマトリックス 1 2 が設けられている。しかし、T F T アレイ基板 2 0 と対向基板 3 0 を重ね合わせる際、誤差が生じることがあり、この誤差を考慮してブラックマトリックス 1 2 は若干余裕を持って大きく形成されていた。しかし、ブラックマトリックス 1 2 を大きくして遮光効果を高めると、開口率は低下するという問題があった。

【0 0 1 9】本発明は以上のような問題点を解消するためになされたもので、ガラス基板に対して平行な方向の電界を用いる I P S 型液晶表示装置において、信号線からの漏れ電界に対する遮蔽効果を高め、遮光領域を減らすことにより開口部の広い（即ち、開口率の高い）、高品質な液晶表示装置を提供することを第 1 の目的とするものである。また、アレイ基板のクラック、配線の断線等の不良の発生を抑制することで歩留り率を改善して生産コストを下げ、かつ高品質の液晶表示装置を提供することを第 2 の目的とするものである。

【0 0 2 0】

【課題を解決するための手段】この発明にかかる I P S 型液晶表示装置は、ガラス基盤、このガラス基盤上に形成されるゲート絶縁膜、このゲート絶縁膜上に形成される保護膜、前記ガラス基盤上に形成され、走査信号を伝達する走査線、前記ゲート絶縁膜上に形成され、映像信号を伝達する信号線、前記走査線と前記信号線が交差してなる格子状の画素、前記画素に設けられて前記走査線および前記信号線と接続され、走査信号に基づいて映像信号のスイッチングを行う薄膜トランジスタ、この薄膜トランジスタと接続された駆動電極、この駆動電極と対

向するように配置された対向電極、この対向電極と他の画素の対向電極とを相互に接続する共通配線を備えたTFTアレイベースと、このTFTアレイベースに対向するように設けられた対向基板と、前記TFTアレイベースと前記対向基板との間に封入され、前記駆動電極および対向電極が基板面に平行な電界を発生させて駆動する液晶とを備えた面内スイッチング型液晶表示装置において、前記TFTアレイベースは、前記信号線の形成されている層とは異なる前記保護膜上に前記対向電極を設けたものである。

【0021】また、この発明にかかるIPS型液晶表示装置は、信号線の一部または全部を覆うように形成した対向電極を有するTFTアレイベースを備えたものである。

【0022】また、この発明にかかるIPS型液晶表示装置は、少なくとも対向電極を走査線とは異なる層に設け、前記走査線の一部または全部を覆うように形成した対向電極を有するTFTアレイベースを備えたものである。

【0023】また、この発明にかかるIPS型液晶表示装置は、共通配線と走査線をガラス基板上に設け、かつ信号線をゲート絶縁膜上に設けたTFTアレイベースを備えたものである。

【0024】また、この発明にかかるIPS型液晶表示装置は、保護膜の表面をほぼ平坦状に形成したTFTアレイベースを有するものである。

【0025】また、この発明にかかるIPS型液晶表示装置は、信号線および対向電極と重ね合わさるように形成された遮光手段を備えたものである。

【0026】また、この発明にかかるIPS型液晶表示装置は、走査信号に基づいて映像信号のスイッチングを行う薄膜トランジスタと、この薄膜トランジスタと接続され、薄膜トランジスタのスイッチがオンの時に書き込まれた電荷を、前記薄膜トランジスタのスイッチがオフの間蓄電する駆動電極と、前記駆動電極の蓄電力を補強する保持容量増加電極とを、層を異にして重畳するように形成したTFTアレイベースを備えたものである。

【0027】

#### 【発明の実施の形態】

実施の形態1. 以下、本発明の一実施の形態を図面に基いて説明する。尚、図において従来と同一符号は従来のもものと同一あるいは相当のものを表す。図1はこの発明の実施の形態1によるIPS型液晶表示装置の画素の構造を模式的に示す断面図であり、図2はその平面図である。なお、図1は図2に示すA-Aにおける断面図を示したものである。図において、1はガラス基板、2は走査線、3は信号線、4は薄膜トランジスタ(TFT)、5は駆動電極、6は対向電極、7は保持容量形成用電極、8は共通配線、9はゲート絶縁膜、10は保護膜、11は液晶、12はブラックマトリックス(B

M)、14はコンタクトホール、15はトランジスタのソース電極、16はトランジスタのドレイン電極である。また、20はTFTアレイベース(ガラス基板1、信号線3、駆動電極5、対向電極6等で構成されている)、30はTFTアレイベース20に対向して配置された表示画面となる対向基板、40は信号線3と対向電極6の間の隙間であるスリット、50は画素の開口部である。なお、図3は、図2に示すIPS型液晶表示装置において用いられる薄膜トランジスタ4(TFT)として、薄膜トランジスタ4(TFT)の一種であるチャネル保護膜型薄膜トランジスタ21を設けた場合のIPS型液晶表示装置の画素の構造を模式的に示す図であり、図3(a)は平面図、図3(b)は断面図である。

【0028】次に、図1、図2に基づいて、IPS型液晶表示装置の画素の構造について説明する。図において、1はガラス基板であり、このガラス基板1上に走査線2が形成されている。この走査線2を覆うようにゲート絶縁膜9が積層され、このゲート絶縁膜9上に信号線3が設けられている。この信号線3の上に保護膜10が積層され、保護膜10の上に駆動電極5、対向電極6が設けられている。TFTアレイベース20は以上説明したような構造となっている。前記TFTアレイベース20と対面するように設けられている基板は、前記TFTアレイベース20との間に液晶11を挟持する対向基板30である。本発明にかかるIPS型液晶表示装置は、前記TFTアレイベース20の表面に沿って電界を発生させ、この電界の方向を制御することにより液晶11を駆動する。

【0029】図2は、図1に示したIPS型液晶表示装置を平面図で示すものである。図2において、2は走査線、3は信号線であり、この走査線2、信号線3により囲まれた領域が一つの画素となる。4は、走査線2と信号線3の交点に設けられた薄膜トランジスタ(TFT)であり、薄膜トランジスタ4の有する3つの電極のうちゲート電極は走査線2と、ソース電極15は信号線3と接続されている。薄膜トランジスタ4の有する3つの電極のうち、ドレイン電極16は保護膜10(図示せず)を介した上の層にコンタクトホール14により駆動電極5と接続されている。この駆動電極5と噛み合わさるように対向して設けられているのが対向電極6であって、対向電極6は共通配線8と同じ層に形成されて相互に接続されている。図示しないが共通配線8は隣接する他の画素の対向電極6を接続している。なお、駆動電極5と対向電極6、共通配線8は、信号線3より上の層に同時に形成されている。

【0030】7は駆動電極5の電位を保持するための保持容量であって、対向電極6とドレイン電極16を上下に積層して形成したものである。40は信号線3と対向電極6との間のスリットであって、図1に示す対向基板30に設けられたブラックマトリックス12は、バック

ライトを光源として前記スリット40を透過する漏れ光を遮光するものである。50は開口部であり、開口部の面積が大きくなれば高画質な液晶ディスプレイを得ることができる。なお、IPS型液晶表示装置は、TFTアレイ基板20上に設けられた駆動電極5と対向電極6の間で、薄膜トランジスタ4のドレイン電極16と接続された駆動電極5に書き込まれる電荷を保持し、ガラス基板1表面に沿って電界を発生させて液晶11を駆動するので、対向基板30は電極を備えない無電極基板である。以下、実施の形態1にかかるIPS型液晶表示装置の画素を構成するTFTアレイ基板20のプロセスフローの一例について説明する。

【0031】図4、図5、図6はTFTアレイ基板20のプロセスフローを示す図である。なお、図4～図6の左側の図はTFTアレイ基板20を、右側の図は走査線2を走査線駆動回路に実装する端子部を示す図である。図4において、工程1は、ガラス基板1の上に走査線2をCr、Al、Mo、Ta、Cu、Al-Cu、Al-Si-Cu、Ti、W等の単体あるいはこれらの合金、あるいはITO(Indium Tin Oxide インジウム錫酸化物)等の透明材料、あるいはこれらを積層した構造で、膜厚を50nmから800nm程度の厚さで形成するものである。この走査線2は薄膜トランジスタ4のゲート電極としても機能する。走査線2を形成する際のエッチング方法として、図4では断面が台形状になるテーパエッチングを例に示したが、断面が長方形となるようなエッチング方法を用いてもよい。

【0032】工程2は、走査線2を覆うようにゲート絶縁膜9、アモルファスシリコン、リンなどの不純物をドーパしたアモルファスシリコンを連続堆積した後、アモルファスシリコンをパターニングし薄膜トランジスタ4をチャンネルエッチ型で形成するものである。ゲート絶縁膜9は窒化シリコン、酸化シリコン等の透明絶縁膜またはゲート電極材料(即ち、走査線2の材料)の酸化膜、またはそれらの積層膜を用い、厚さは200nm～600nm程度とするのが適当である。また、前記リンなどの不純物をドーパしたアモルファスシリコンの代わりに材料としてリンなどの不純物をドーパしたマイクロクリスタルシリコン等を用いてもよい。

【0033】工程3は、信号線3を薄膜トランジスタ4のソース電極15・ドレイン電極16と同時に形成するものである。信号線3はソース電極15としても機能する。この信号線3は、Cr、Al、Mo、Ta、Cu、Al-Cu、Al-Si-Cu、Ti、W単体、あるいはこれらを主成分とする合金、あるいはITO等の透明材料、あるいはこれらを積層した構造で形成する。工程4は、保護膜10を窒化シリコン、酸化シリコン等の透明絶縁膜により形成し、さらに駆動電極5とドレイン電極16を電気的に接続するため薄膜トランジスタ4のドレイン電極16上の一部の保護膜を取り除いて、コンタクトホール14を形成するも

のである。このとき同時に走査線2の端子部からゲート絶縁膜9と保護膜10及び信号線3の端子部から保護膜10を取り除き、外部回路と走査線2及び信号線3を電気的に接続出来るようにする。

【0034】工程5は、基板面に対し水平方向に電界を形成するための電極として、駆動電極5と対向電極6を、Cr、Al、Mo、Ta、Cu、Al-Cu、Al-Si-Cu、Ti、W単体、あるいはこれらの合金、あるいはITO等の透明材料、あるいはこれらを積層した構造、あるいはこれらを含む積層構造で形成するものである。駆動電極5はコンタクトホール14を介してドレイン電極16と接続する。対向電極6は共通配線8に接続されている。対向電極6はドレイン電極16と保護膜10を介して重ね、駆動電極の電位を保持するための蓄積容量7を形成する。以上の5工程により、信号線3よりも上層(即ち、対向基板30側)に駆動電極5と対向電極6を有し、基板面に対し水平方向の電界を印加できるTFTアレイ基板20を5回の写真製版工程でチャンネルエッチ型薄膜トランジスタを用い製作することができる。

【0035】以上説明したTFTアレイ基板20のプロセスフローにおいては、端子は走査線2と同一層の金属を用いて形成していたが、ITOを用いて端子を形成してもよい。ITOは走査線2または信号線3または共通配線8と同一層に形成すればよい。また、信号配線をストレートエッチングしたがテーパエッチングすることが望ましい。また、信号線をCrの上にAlを積層した構造で形成した場合、Alをパターニングした後、CrをパターニングするとCrにオーバーエッチングがはいるので底構造となり断切れの原因となる。これを防ぐためにCrのパターニング後に再度Alのエッチングを行いCr端面よりAlを後退させれば底構造となるのを防ぐことが出来る。このAlのエッチングはテーパエッチングを用いてもよい。この手法は信号線をCr、Al、Mo、Ta、Cu、Al-Cu、Al-Si-Cu、Ti、W単体、あるいはこれらを主成分とする合金、あるいはITO等の透明材料から異なる2種以上の金属の積層構造で形成した場合に適用できる。

【0036】図4において、駆動電極5と対向電極6は同層に形成されているが、図5に示すように、駆動電極5を信号線3と同時にゲート絶縁膜9上に形成し、ついで窒化シリコン等を用い保護膜10を形成後に対向電極6を形成してもよい。この場合駆動電極5と対向電極6は別層にて形成される。また、図4に示すTFTアレイ基板20に用いられている薄膜トランジスタ4(TFT)のかわりに、薄膜トランジスタ4の一種であるチャンネル保護膜型トランジスタ21を用いてもよい。図6はチャンネル保護膜型トランジスタ21を用いて形成したTFTアレイ基板のプロセスフローを示す図である。

【0037】図6に示すTFTアレイ基板20は図3に示すIPS型液晶表示装置の画素を構成するものであ

り、図5に示すTFTアレ基板20よりも一層分層が多く形成されている。これは、走査線2を形成した後、走査線2を覆うようにゲート絶縁膜9、アモルファスシリコン、チャンネル保護膜を連続堆積した後、チャンネル保護膜21形成し、前記チャンネル保護膜21をマスクとしてアモルファスシリコンにP等の不純物をイオン注入しn層を形成しチャンネル保護膜型トランジスタを形成する(図6工程2)工程の違いによる。

【0038】実施の形態1にかかるIPS型液晶表示装置のTFTアレ基板20の特徴的な構造は、アレ基板20上において駆動電極5と対向電極6が信号線3よりも上層(即ち、対向基板30側)に配置されていることである。この配置にすることによりコンタクトホール14の形成及び信号線3の端子部から保護膜10を除去する工程と走査線2の端子部から絶縁膜9及び保護膜10を除去する工程を一度に実施することが出来る。よってマスク枚数が一枚減り製造コストを低減することが出来る。

【0039】また、駆動電極5と対向電極6を信号線3と層を異にして対向基板30側の層、つまり保護膜10上に形成したことで、実施の形態5において後述する説明より推測できるように、図2に示す開口部50の端部に信号線3と隣接して設けられた対向電極6と前記信号線3との電位差により発生する電界の影響を軽減できることがわかった。従って開口部50側端部の対向電極を信号線3に近づけることができ、開口部50の面積を大きくできる。

【0040】また、図1において、駆動電極5と対向電極6は、TFTアレ基板20と対向基板30に挟持される液晶と直接接しているため、液晶を効率的に駆動することができ、駆動電極5および対向電極6間の間隔を広くすることができる。従って、さらに、開口率が改善されるという効果が得られる。

【0041】実施の形態2。図7は、本発明の実施の形態2にかかる液晶表示装置の画素電極の構造を模式的に示したもので、図7(a)はその平面図、図7(b)は図7(a)のA-Aでの断面図、図8はアレ基板のプロセスフローを示す図である。図において、1はガラス基板、2は走査線、3は信号線、4は薄膜トランジスタ(TFT)、5は駆動電極、6は対向電極、7は保持容量形成用電極、8は共通配線、9はゲート絶縁膜、10は保護膜、11は液晶、12はブラックマトリックス、14はコンタクトホール、15はトランジスタのソース電極、16はトランジスタのドレイン電極、18はスルーホールである。また、20はTFTアレ基板(ガラス基板1、信号線3、駆動電極5、対向電極6等で構成されている)、30はTFTアレ基板20に対向して配置された表示画面となる対向基板、40は信号線3と対向電極6の間の隙間であるスリット、50は画素の開口部である。

【0042】実施の形態1においては、共通配線8を対向電極6と同じ層に形成していたが、実施の形態2では、図8に示すように走査線2と同じ層、つまりガラス基板1の上に共通配線8を形成したものである。ソース電極15は信号線3と接続され、この信号線3はゲート絶縁膜9を介して前記走査線2および共通配線8上に積層して形成され、さらに保護膜10を介して駆動電極5、対向電極6が形成されている。なお、駆動電極5はコンタクトホール14を介してドレイン電極16と、対向電極6はスルーホール18を介して共通配線8と接続されている。薄膜トランジスタ(TFT)4については、チャンネル保護膜型薄膜トランジスタを用いてもよい。

【0043】実施の形態2にかかるIPS型液晶表示装置は、実施の形態1と同様、駆動電極5と対向電極6は保護膜10上に形成されるので、液晶をより効率的に駆動できるので、駆動電極5、対向電極6間の間隔を広くするなど開口率を改善できる。さらに、共通配線8と走査線2とを同じ層に形成したので、共通配線8は走査線2とともに平坦なガラス基板1上に形成されることになり、共通配線8が段差部で断線する問題が発生するのを抑制でき、不良率の発生を軽減できる。従って製品の信頼性も向上する。また、実施の形態1では共通配線8の抵抗を下げるため対向電極6を薄膜化出来なかったが、実施の形態2では対向電極6の薄膜化が可能となる。対向電極6の薄膜化により電極間隔のばらつきが小さくなり画面全体にわたって輝度むらの少ない液晶表示装置を実現することが出来る。

【0044】実施の形態3。図9は、本発明の実施の形態3にかかる液晶表示装置の画素の構造を模式的に示したもので、図9(a)はその平面図、図9(b)は図9(a)のA-A'での断面図、図10はアレ基板のプロセスフローである。図において、1はガラス基板、2は走査線、3は信号線、4は薄膜トランジスタ(TFT)、5は駆動電極、6は対向電極、7は保持容量形成用電極、8は共通配線、9はゲート絶縁膜、10は保護膜、11は液晶、12はブラックマトリックス、14はコンタクトホール、15はトランジスタのソース電極、16はトランジスタのドレイン電極である。また、20はTFTアレ基板(ガラス基板1、信号線3、駆動電極5、対向電極6等で構成されている)、30はTFTアレ基板20に対向して配置された表示画面となる対向基板、40は信号線3と対向電極6の間の隙間であるスリット、50は画素の開口部である。

【0045】TFTアレ基板20を形成する際、保護膜10は窒化シリコン、酸化シリコン等の透明絶縁膜で形成され、保護膜10の表面は段差を有していた。しかし、実施の形態3では保護膜10を、形成される層の表面を平坦化する機能を有したアクリル-メラミン系またはアクリル-エポキシ系などの材料を用いて形成するこ



とによって、図9(b)、図10に示すように保護膜10の表面の段差を無くし、平坦化したものである。

【0046】実施の形態3にかかるIPS型液晶表示装置は、保護膜10の表面を平坦化することにより、表示画面全体にわたってTFTアレイ基板20の表面と対向基板30との間の距離(ギャップ)を精度よく均一に構成することが可能となり、画面全体にわたって輝度むらの少ない液晶表示装置を製作することが出来る。また、保護膜10の段差部におけるクラック等による不良発生率も小さくなり歩留まりが改善される。また、平坦化により液晶の配向に必要なラビング処理が均一にかかり配向乱れが少ない高品位の液晶表示装置を実現することが出来る。

【0047】また、実施の形態1と同様に、駆動電極5と対向電極6を信号線3の保護膜10上に設けたので、効率的に液晶を駆動でき、駆動電極5、対向電極6間の間隔を広げることができるので、開口率も改善されるという効果もある。

【0048】実施の形態4。図11は、本発明の実施の形態4にかかるIPS型液晶表示装置の画素の構造を模式的に示したもので、図11(a)はその平面図、図11(b)は図11(a)のA-A'での断面図である。図において、1はガラス基板、2は走査線、3は信号線、4は薄膜トランジスタ(TFT)、5は駆動電極、6は対向電極、7は保持容量形成用電極、8は共通配線、9はゲート絶縁膜、10は保護膜、11は液晶、14はコンタクトホール、15は薄膜トランジスタ(TFT)4のソース電極、16は薄膜トランジスタ(TFT)のドレイン電極である。また、20はTFTアレイ基板(ガラス基板1、信号線3、駆動電極5、対向電極6等で構成されている)、30はTFTアレイ基板20に対向して配置された表示画面となる対向基板、60はガラス基板1に設けられた遮光膜である。

【0049】実施の形態4は、実施の形態1から実施の形態3の液晶表示装置の画素構造において、信号線3と対向電極6の間のスリット40(図18(a)参照)からの漏れ光を遮光する遮光膜60をガラス基板1の上に形成したことを特徴とするものである。以下、図11(a)、図11(b)に基づいて実施の形態4にかかる液晶表示装置の構造を説明する。

【0050】図11(b)において、ガラス基板1上に遮光膜60を形成する。図11(b)に図示しないが走査線2も遮光膜60と同じ層に形成されている。前記走査線2は薄膜トランジスタ(TFT)4のゲート電極としても機能する。この走査線2、遮光膜60上にゲート絶縁膜9を積層する。このゲート絶縁膜9上に信号線3を、遮光膜60と重なる位置に形成する。また、薄膜トランジスタ(TFT)4もゲート絶縁膜9上に形成される。前記薄膜トランジスタ(TFT)4はチャネルエッチ型TFT、チャネル保護膜型TFTのどちらを用いて

もよい。薄膜トランジスタ(TFT)4のソース電極15、ドレイン電極16も信号線3と同じ層に形成して、さらに保護膜10を積層する。続いて保護膜10にコンタクトホール14を形成し、保護膜10上に設けられた駆動電極5と、ゲート絶縁膜9上に設けられた薄膜トランジスタ(TFT)4のドレイン電極とをコンタクトホール14を介して接続する。

【0051】駆動電極5と同様に保護膜10上に対向電極6も形成される。対向電極6は遮光膜60と重なるような位置において、ドレイン電極16と保護膜10を介して重ねて設けられて、駆動電極5の電位を保持する蓄積容量7を形成する。また、対向電極6は同じ層に設けられた共通配線8と接続される。図11(a)の画素の両端部に破線が示されている。この破線は図11(b)に示すガラス基板1上に設けられた遮光膜60の図11(a)における位置を示している。この破線が示すように両端の対向電極6は遮光膜60に重なるように形成されることにより、信号線3と対向電極6の間のスリット40(図18(a)参照)を覆っていることが分かる。

【0052】実施の形態4では、駆動電極5と対向電極6を保護膜10上に形成したが、駆動電極5と信号線3とをゲート絶縁膜9上に同時に形成し、窒化シリコン等を用い保護膜を形成した後、対向電極6を形成してもよい。この場合駆動電極5と対向電極6は別層にて形成される。実施の形態4においては、遮光膜60をガラス基板1上に形成したことにより信号線3と対向電極6との間のスリット40(図示せず)からの光漏れが生じないので、対向基板30のブラックマトリックス(BM)12の幅が細くできたり、ブラックマトリックス12で信号線3方向の遮光を行わなくてもよくなる。従って、ブラックマトリックス12を省くことができ、開口部を大きく取ることができるようになった。

【0053】また、液晶表示装置はTFTアレイ基板20とカラーフィルタ付きの対向基板とを重ねて組み合わせ、これらの基板間に液晶11を封入し、駆動回路を接続して製造される。しかし、TFTアレイ基板20と対向基板30とを重ね合わせる工程で重ね合わせ誤差が生じることがあり、ブラックマトリックスはTFTアレイ基板20のスリット40からの漏れ光を確実に遮光できるように、前記重ね合わせ誤差を考慮して遮光領域を大きく取らねばならなかった(図18(a)参照)。そこで、遮光膜60をTFTアレイ基板20に設けることで、スリット等漏れ光の透過部を確実に遮光することができ、TFTアレイ基板20と対向基板30との重ね合わせ誤差を考慮する必要がなくなった。従って、ブラックマトリックス12を必要最小限のサイズにまとめることができ、開口部を大きくすることができる。

【0054】また、実施の形態4にかかるIPS型液晶表示装置は、実施の形態1にかかるIPS型液晶表示装置と同様、駆動電極5と対向電極6を保護膜10上に設

けたので、効率的に液晶を駆動でき、電極間の間隔を広げたりすることができるので、開口率を改善できるという効果がある。

【0055】実施の形態5. 図12は、実施の形態5にかかるIPS型液晶表示装置の一面素の構造を模式的に示したもので、図12(a)はその平面図、図12

(b)は図12(a)のA-A'での断面図である。図において、1はガラス基板、2は走査線、3は信号線、4は薄膜トランジスタ(TFT)、5は駆動電極、6は対向電極、7は保持容量形成用電極、8は共通配線、9はゲート絶縁膜、10は保護膜、11は液晶、12はブラックマトリックス、14はコンタクトホール、15はトランジスタのソース電極、16はトランジスタのドレイン電極である。また、20はTFTアレイ基板(ガラス基板1、信号線3、駆動電極5、対向電極6等で構成されている)、30はTFTアレイ基板20に対向して配置された表示画面となる対向基板である。

【0056】実施の形態5は、実施の形態1と同様に駆動電極5および対向電極6を信号線3よりも上層に形成し、さらに信号線3を覆うように対向電極6を形成することにより、信号線3からの漏れ電界の影響を受けにくくすると共に信号線3と対向電極6の間のスリット40

(図18(a)参照)からの漏れ光が生じないように構成したことを特徴とするものである。また、図13は、信号線3を覆うように形成した駆動電極5と、この駆動電極5と同じ層に形成された対向電極6との間に発生する電位の変化をシミュレートした結果を示す図である。なお、図13は、相対透過率50%の中間調に白ウインドウを表示したとき、ウインドウ上部または下部における電位を計算したものである。

【0057】信号線3よりも下層に駆動電極5と対向電極6を有する従来のIPS型液晶表示装置のTFTアレイ基板20における電位分布を示す図21と図13とを比較すると、図13では、信号線3と対向電極6との電位差より発生する電界が、信号線3を覆うように上部に配置されている対向電極6により遮蔽されているので、開口部50の信号線3に近い領域と信号線3より離れた領域の電位分布はほぼ対称であることがわかる。

【0058】このように、実施の形態5にかかるIPS型液晶表示装置のTFTアレイ基板20は、駆動電極5および対向電極6を信号線3よりも上層に設け、かつ信号線3を覆うように対向電極6を形成したことにより、信号線3と対向電極6との間に発生する電界の、駆動電極5と対向電極6との間に発生する電界に対する影響を大幅に軽減できるので、開口部50端部の対向電極6を信号線3にさらに近づけることができ、開口部50の総面積を広くすることが可能になる。

【0059】また、対向電極6は信号線3を覆うように形成されているので、漏れ光の遮光も確実にでき、ブラックマトリックス12をなくすことも可能になる。従っ

て、開口部50の面積を広げることができるので、高輝度な液晶表示装置を提供することが可能になり、また、ブラックマトリックス12を設ける工程も削減できるので生産性が改善され、かつ低コストで液晶表示装置が製造できるようになった。さらに、実施の形態1と同様、駆動電極5と対向電極6は液晶に近い層に形成されるので、液晶を効率的に駆動でき、電極間の間隔を広げることができ、開口率も改善される。

【0060】実施の形態6. 図14は、実施の形態6にかかるIPS型液晶表示装置の一面素の構造を模式的に示したもので、図14(a)はその平面図、図14

(b)は図14(a)のA-A'での断面図である。なお、図14に示す実施の形態6にかかるIPS型液晶表示装置の画素の構成は、基本的には図12に示す実施の形態5にかかるIPS型液晶表示装置の画素の構成と同様であるので説明は省略する。実施の形態5では、信号線3を完全に覆う構造の対向電極6を設けた場合を示したが、図14に示す実施の形態6にかかるIPS型液晶表示装置の画素の対向電極6のように、信号線3の一部を覆う構造の対向電極6を用いてもよい。

【0061】実施の形態6によれば、対向電極6を信号線3の一部を覆うように形成しているので、信号線3と対向電極6との電位差により発生する電界が駆動電極5と対向電極6の間の電界に及ぼす影響を軽減することができる。信号線3と対向電極6との間のスリット40を透過する漏れ光の遮光も行うことができるので、ブラックマトリックス12の幅を細くしたり、ブラックマトリックス12をなくすことも可能になり、開口部の広い高輝度な液晶表示装置を実現できる。また、ブラックマトリックス12をなくすことで、ブラックマトリックス12を設ける工程を減らすことができるので生産性も向上する。また、信号線3と対向電極6の重なる面積が小さくなるので信号線3と対向電極6の間の短絡欠陥の発生を少なくすることがわかる。さらに、信号線3と対向電極6の重なる面積が小さくなるので、信号線3と対向電極6との間の容量を小さくでき、配線の負荷が減少し駆動が容易となる。

【0062】実施の形態7. 図15は、実施の形態7にかかるIPS型液晶表示装置の一面素の構造を模式的に示したもので、図12(a)はその平面図、図12

(b)は図12(a)のA-A'での断面図である。なお、図15に示す実施の形態7にかかるIPS型液晶表示装置の画素の構成は、図14に示す実施の形態5にかかるIPS型液晶表示装置の画素の構成と同様であるので、説明は省略する。実施の形態7は、図14に示すように例えば実施の形態6による液晶表示装置の画素構造において、走査線2の上まで対向電極6を拡大して形成し、前記対向電極6を用いて、この画素と隣接する他の画素の対向電極6を接続したことを特徴とするものである。

【0063】このような構造を用いることにより対向電極6の幅を太くなり、対向電極6の抵抗が下がり負荷が低減されるので駆動が容易となる。また、共通配線8に断線が生じて走査線2上の対向電極6から電位が供給されるので、表示上の不良とならない。従って製品の信頼性が高められる。なお、実施の形態7による対向電極6の構造は、実施の形態7のみならず他の実施の形態にも適用することは可能であり、同様の効果を奏することはいうまでもない。

【0064】実施の形態8。図16は、本発明の実施の形態8にかかる液晶表示装置の画素中の保持容量部の断面構造を模式的に示したものである。図において、17はガラス基板1の上に形成された保持容量増加のための電極、16は薄膜トランジスタ(TFT)のドレイン電極であり、図に示すように実施の形態8にかかる液晶表示装置の保持容量部は、保持容量増加のための電極17がゲート絶縁膜9を介して薄膜トランジスタ(TFT)のドレイン電極16とは別層(例えば、走査線2の層)に重ねて積層して形成されている。このように、保持容量部の電極を積層構造とすることにより、保持容量を形成するための電極の面積を小さくすることが可能となるので、その結果画素の開口部50(図示せず)を広くすることができる。

【0065】実施の形態9。図17は、実施の形態9にかかるTFTアレイ基板のプロセスフローを示す図である。図17において、1はガラス基板、2は走査線、3は信号線、4は薄膜トランジスタ(TFT)、5は駆動電極、6は対向電極、8は共通配線、9はゲート絶縁膜、10は保護膜、14はコンタクトホール、15はトランジスタのソース電極、16はトランジスタのドレイン電極、19は第二の保護膜である。また、TFTアレイ基板20は、ガラス基板1、信号線3、駆動電極5、対向電極6等で構成されている。

【0066】実施の形態9では、図4から図6に示すTFTアレイ基板に第二の保護膜19を形成したものである。従って、実施の形態9にかかる液晶表示装置の画素の構造は実施の形態1と同様である。以下、実施の形態9にかかる液晶表示装置の製造方法について説明する。実施の形態9におけるTFTアレイ基板のプロセスフローは、対向電極6の形成工程まで実施の形態1と同様である。実施の形態9では対向電極6の上層に第二の保護膜19を形成するところに特徴がある。

【0067】駆動電極5と対向電極6の間に第二の保護膜19が形成されることにより、異物による上記駆動電極5と対向電極6の短絡を防ぐことができ歩留まりが向上する。また駆動電極5及び対向電極6による段差を平坦にすることが出来るので、液晶の配向に必要なラビング処理が均一にかかり配向乱れが少ない高品位の液晶表示装置を実現することが出来る。

【0068】

【発明の効果】この発明にかかる面内スイッチング型液晶表示装置によれば、駆動電極と対向電極のうち、少なくとも対向電極は保護膜上に形成するようにしたので、信号線と対向電極間の電位差により発生する電界の及ぼす影響を抑制できる。また、液晶をより効率的に駆動できるので駆動電極と対向電極間の間隔を広げることが可能になり開口率が改善された。

【0069】また、この発明にかかる面内スイッチング型液晶表示装置によれば、対向電極を信号線の一部または全部を覆うように形成したので、信号線と対向電極の電位差より発生する電界が、開口部の駆動電極と対向電極の間に発生する電界に影響し、画質を悪化させる表示上の問題が発生するのを抑制できる。従って、高画質な液晶表示が可能となるとともに、バックライトを光源とする信号線と対向電極の間からの漏れ光も確実に遮光できるので、ブラックマトリックスをなくすることができ、開口率が改善される。

【0070】また、この発明にかかる面内スイッチング型液晶表示装置によれば、少なくとも対向電極を走査線とは異なる層に設け、前記走査線の一部または全部を覆うように形成したので、この対向電極を用いて他の画素の対向電極と接続することができるようになり、開口部の面積を減少させずに対向電極の幅を太くできる。従って対向電極の抵抗を下げ、配線の負荷を軽減することができる。また、共通配線に断線が生じて走査線上の対向電極から電位が供給されるので、表示上の不良の発生を抑制して信頼性を高めることができる。

【0071】また、この発明にかかる面内スイッチング型液晶表示装置によれば、TFTアレイ基板は、共通配線と走査線をガラス基盤上に設け、かつ信号線をゲート絶縁膜上に設けたので、段差部において発生する不良を抑制できる。

【0072】また、この発明にかかる面内スイッチング型液晶表示装置によれば、TFTアレイ基板と液晶とが接する表面がほぼ平坦形状に形成された保護膜を備えたので、表示画面全体にわたってアレイ基板の表面と対向基板との間のギャップを精度よく均一に構成することや、液晶の配向に必要なラビング処理が均一にかかり配向乱れを少なくすることが可能となり、画面全体にわたって輝度むらの少ない液晶表示装置を実現することが出来る。また、保護膜の段差部におけるクラック等による不良発生率も小さくなり歩留まりが改善されるという効果がある。

【0073】また、この発明にかかる面内スイッチング型液晶表示装置によれば、信号線および対向電極と重ね合わさるように形成された遮光手段を有するTFTアレイ基板を設けたので、スリットを透過する漏れ光を遮光することが可能になり、対向基板に設けられていたブラックマトリックスは不要になった。また、遮光手段のサイズを決める際、TFTアレイ基板と対向基板を重ね合

わせる際の重ね合わせ誤差を考慮せずに済むようになったので、遮光手段のサイズを必要最小限の大きさにすることができ、開口率を改善できた。

【0074】また、この発明にかかる面内スイッチング型液晶表示装置によれば、薄膜トランジスタと、駆動電極と、保持容量増加増加電極とを層を異にして重畳するように形成したTFTアレイ基板を有するので、保持容量を形成するための電極の面積を小さくすることが可能となり、その分画素の開口部を広くすることができ、高輝度な液晶表示装置を実現できるという効果がある。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】符号の説明

【補正方法】変更

【補正内容】

【符号の説明】

1 ガラス基板 2 走査線 3 信号線  
4 薄膜トランジスタ (TFT) 5 駆動電極 6 対向電極  
7 保持容量形成用電極 8 共通配線 9 ゲート絶縁膜  
10 保護膜 11 液晶 12 ブラックマトリックス (BM)  
13 保持容量 14 コンタクトホール  
15 ソース電極 16 ドレイン電極  
17 保持容量増加のための電極 18 スルーホール  
19 第二の保護膜 20 TFTアレイ基板  
21 チャネル保護膜 30 対向基板 40 スリット  
50 開口部 60 遮光膜

---

フロントページの続き

(72)発明者 大土井 雄三  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 小林 和弘  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内